

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-289997

(43)Date of publication of application : 29.11.1990

(51)Int.CI.

G11C 16/06

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 01-243603

(71)Applicant : HITACHI LTD

HITACHI VLSI ENG CORP

(22)Date of filing : 20.09.1989

(72)Inventor : SEKI KOICHI

WADA TAKESHI

MUTO TADASHI

KUBOTA YASURO

SHOJI KAZUYOSHI

(30)Priority

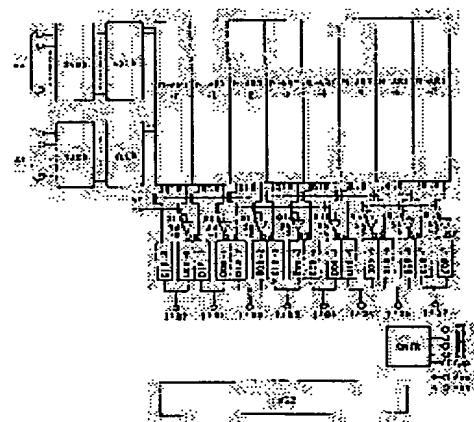
Priority number : 64 27271 Priority date : 06.02.1989 Priority country : JP

(54) SEMICONDUCTOR NONVOLATILE MEMORY AND INFORMATION PROCESSING SYSTEM USING SAME

(57)Abstract:

PURPOSE: To improve the throughput of a system by starting erasure operation according to an external instruction for erasure and then performing the erasure automatically, and carrying out desired operation with an address signal, input data, and a control signal from outside after the erasing operation is completed.

CONSTITUTION: An electric batch erasure type EEPROM equipped with memory arrays M-ARY-0 to M-ARY-7 where electrically erasable nonvolatile storage elements are arranged in a matrix is put in the erasing operation according to the external erasure instruction and an erasure control circuit LOGC which reads nonvolatile storage elements at least once after the erasing operation and controls whether the erasing operation is carried on or stopped according to the read information is incorporated. Namely, the EEPROM itself has an automatic erasing function for making a read so as to confirm whether stored information is erased or not, so a microprocessor performs control only by indicating the start of erasure in the erasing operation wherein the EEPROM is mounted on the system, so the throughput of the system is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A)

平2-289997

⑯Int. Cl. 5

G 11 C 16/06

識別記号

庁内整理番号

⑬公開 平成2年(1990)11月29日

7131-5B G 11 C 17/00 309 C
7514-5F H 01 L 29/78 371 ※
審査請求 未請求 請求項の数 19 (全39頁)

⑭発明の名称 半導体不揮発性記憶装置とそれを用いた情報処理システム

⑯特願 平1-243603

⑯出願 平1(1989)9月20日

優先権主張 ⑯平1(1989)2月6日 ⑯日本(JP) ⑯特願 平1-27271

⑯発明者 関 浩一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯発明者 和田 武史 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑯出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯出願人 日立超エル・エス・ア イエンジニアリング株式会社 東京都小平市上水本町5丁目20番1号

⑯代理人 弁理士 徳若 光政

最終頁に続く

明細書

1. 発明の名称

半導体不揮発性記憶装置とそれを用いた情報処理システム

2. 特許請求の範囲

1. 各々1本ずつのワード線、データ線の交点で、1個のメモリセルが構成され、該メモリセルが電気的に消去可能な不揮発性記憶装置であって、外部からの消去の指示に従って消去動作を開始し、その後は外部からのアドレス信号、入力データ、制御信号によらず、自動的に消去が行われ、該消去動作が完了した後外部からのアドレス信号、入力データ、制御信号により所望の動作が可能となることを特徴とする半導体不揮発性記憶装置。

2. 上記消去中、消去モードを中断もしくは終了させることなく、外部からの制御信号により消去中か消去終了かの判定信号を、外部に送出することを特徴とする特許請求の範囲第1項記載の半導体不揮発性記憶装置。

3. 行及び列からなるマトリックス状に配置されてなる電気的に書き込み、消去可能な不揮発性メモリであり、該消去において読み出しサイクル時間以下の単一パルスを入力することにより消去を開始し、その後は外部からのアドレス、データ、制御信号の入力に拘らず自動的に消去を行い、該消去が終了後に、外部からのアドレス、データ、制御信号を受け付けることを特徴とする半導体不揮発性記憶装置。

4. 行及び列からなるマトリックス状に配置されてなる、電気的に書き込み、消去可能な不揮発性メモリを含み、マイクロプロセッサとシステムバスにより接続された情報処理システムにおいて、該消去において読み出しサイクル以下の単一パルスを入力することにより消去を開始し、その後はシステムバスからのアドレス、データ、制御信号に拘らず自動的に消去を行い、該消去が終了後にシステムバスからの信号を受け付けることを特徴とする半導体不揮発性記憶装置を含む情報処理システム。

5. 電気的に消去可能にされた不揮発性記憶素子がマトリックス配置されてなるメモリアレイと、外部からの消去動作の指示に従って消去動作を行った後に対応するメモリセルを少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路とを備えてなることを特徴とする半導体不揮発性記憶装置。

6. 上記消去制御回路は、上記の消去動作に先立って全メモリセルに対して書き込みを行うというアプレイト機能を持つものであることを特徴とする特許請求の範囲第5項記載の半導体不揮発性記憶装置。

7. 上記メモリセルは、フローティングゲートとコントロールゲートとの2層ゲート構造を持つMOSFETであり、フローティングゲートに蓄積された情報電荷をトンネル現象を利用してソース、ドレインもしくはウェルに引き抜くことによって電気的消去が行われるものであることを特徴とする特許請求の範囲第5又は第6項

記載の半導体不揮発性記憶装置。

8. 上記メモリアレイを構成するメモリセルは、メモリアレイ全体又はその一部のメモリセル群のソース、ドレインが共通化され、共通化されたメモリセル毎に一括して電気的消去動作が行われるものであることを特徴とする特許請求の範囲第5、第6又は第7項記載の半導体不揮発性記憶装置。

9. 上記消去制御回路は、メモリセルを選択するためのアドレス発生回路を含むものであることを特徴とする特許請求の範囲第5、第6、第7又は第8項記載の半導体不揮発性記憶装置。

10. 上記消去の継続、停止の制御のためのメモリセルの読み出し動作は、コントロールゲートに伝えられるワード線の選択電位を比較的低い電位に設定して行われるものであることを特徴とする特許請求の範囲第5、第6、第7、第8又は第9項記載の半導体不揮発性記憶装置。

11. 上記ワード線の選択電位を比較的低い電位に設定するための動作電圧は、基準電圧発生回

路で形成された基準電圧を受け、利得設定用抵抗素子に基づいて所望の出力電圧に変換する第1の演算增幅回路と、この第1の演算增幅回路の出力信号を受けて出力電圧を形成するボルティージフォロワ形態の第2の演算增幅回路の出力端子から得るものであることを特徴とする特許請求の範囲第10項記載の半導体不揮発性記憶装置。

12. 電気的に消去可能にされた不揮発性記憶素子がマトリック配置されてなるメモリアレイと、外部からの消去動作の指示に従って消去動作を行った後に対応するメモリセルを少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路と、外部からの指示に従い消去動作の継続、停止等の内部状態を外部へ出力させる機能を持つ出力回路とを備えてなることを特徴とする半導体不揮発性記憶装置。

13. 電気的に消去可能にされた不揮発性記憶素子がマトリック配置されてなるメモリアレイと、

外部からの消去動作の指示に従って消去動作を行った後に対応するメモリセルを少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路と、消去動作の継続、停止等の内部状態を外部へ出力させる機能を持つ出力回路とを備えてなる半導体不揮発性記憶装置と、所定の情報処理機能を持つマイクロプロセッサと、上記半導体不揮発性記憶装置とマイクロプロセッサとを接続するシステムバスとを含み、半導体不揮発性記憶装置は、上記マイクロプロセッサからの消去指示に従いマイクロプロセッサとは切り離された状態で内部の消去制御回路により自動的に消去動作を行うことを特徴とする情報処理システム。

14. 上記マイクロプロセッサは、半導体不揮発性記憶装置に対して、上記出力回路を利用して内部状態の出力を指示して、消去動作の完了の有無を判定することを特徴とする特許請求の範囲第13項記載の情報処理システム。

15. 1つのゲート信号線（ワード線）と1つのドレイン信号線（データ線）により選択される、電気的に消去可能にされた不揮発性記憶素子がマトリックス配置されてなるメモリアレイを有し、外部からの消去の指示に従って消去動作を開始し、その後は外部からのアドレス信号、入力データ、制御信号によらず、自動的に消去が行われ、該消去が完了した後外部からのアドレス信号、入力データ、制御信号により所望の動作が可能となることを特徴とする半導体不揮発性記憶装置。

16. 上記消去中、消去モードを中断もしくは終了させることなく、外部からの制御信号により消去中か消去終了かの判定信号を、外部に送出することを特徴とする特許請求の範囲第15項記載の半導体不揮発性記憶装置。

17. 1つのゲート信号線（ワード線）と1つのドレイン信号線（データ線）により選択される、電気的に消去可能にされた不揮発性記憶素子がマトリックス配置されてなるメモリアレイを有

し、外部からの消去動作の指示に従って消去動作を開始し、その後は外部からのアドレス信号、入力データ、制御信号によらず、自動的に消去が行われ、該消去が完了した後外部からのアドレス信号、入力データ、制御信号により所望の動作が可能となる半導体不揮発性記憶装置と、所定の情報処理機能を持つマイクロプロセッサと、上記半導体不揮発性記憶装置とマイクロプロセッサとを接続するシステムバスを含み、半導体不揮発性記憶装置は上記マイクロプロセッサからの消去指示に従いマイクロプロセッサとは切り離された状態で内部の消去制御回路により自動的に消去動作を行うことを特徴とする情報処理システム。

18. 上記半導体不揮発性記憶装置は、上記消去中、消去モードを終了させることなく、外部からの制御信号により消去中であるか否かの判定信号を、外部に送出するものであることを特徴とする特許請求の範囲第17項記載の情報処理システム。

19. 上記マイクロプロセッサは、半導体不揮発性記憶装置に対して、上記消去中、消去モードを終了させることなく、外部からの制御信号により消去中であるか否かの判定信号を、外部に送出する機能を利用して内部状態の出力を指示して、消去動作の完了の有無を判定することを特徴とする特許請求の範囲第17項記載の情報処理システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体不揮発性記憶装置とそれを用いた情報処理システムに関し、例えば一括消去型EEPROM（エレクトリカリ・イレーザブル＆プログラマブル・リード・オンリー・メモリ）とそれを用いたマイクロコンピュータシステムに利用して有効な技術に関するものである。

〔従来の技術〕

半導体不揮発性記憶装置としては紫外線により記憶情報の消去が可能なEPROM（イレーザブル＆プログラマブル・リード・オンリー・メモ

リ）と、電気的に記憶情報の消去が可能なEEPROMがある。EEPROMは、情報を記憶するところのメモリセルの面積が比較的小さいため大記憶容量化に適してはいるが、記憶されている情報を消去するためには、メモリセルに紫外線を照射する必要があり、そのために比較的高価な窓付きのパッケージに封止される。また、プログラマーによって情報の書き込みあるいは書き換えを行うには、新たな情報の書き込み、あるいは書き換え時にEEPROMをそれが実装されたシステムから取り外す必要があるなどの問題を有している。

一方、EEPROMは、それがシステムに実装された状態で、その記憶情報を電気的に書き換えることが可能である。しかしながら、EEPROMにあっては、それを構成するメモリセルの面積が比較的大きく、例えばEEPROMの約2.5倍から5倍程度と大きい。そのため、EEPROMは、大記憶容量化に適しているとはいえない。そこで、最近では両者の中間的な半導体不揮発性記憶装置として、電気的一括消去型EEPROMと

呼ばれるものが開発されている。電気的一括消去型 EEPROM は、チップに形成されたメモリセルの全てを一括して、又はチップに形成されたメモリセルのうち、あるひとまとまりのメモリセル群を一括して電気的に消去する機能を持つ半導体不揮発性記憶装置である。電気的一括消去型 EEPROM においては、メモリセルの大きさを EEPROM のそれ並に小さくできる。このような一括消去型 EEPROM に関しては、1980年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンス (IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE) の頁152～頁153、1987年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンス (IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE) の頁76～頁77、アイ・イー・イー・イー・ジャーナル オブ ソリッドーステート サーキット、第23巻第5号 (1988年) 第1157頁から第1163頁 (IEEE, J. Solid-State Circuits, vol.23

11

同図のメモリセルはNチャンネル形の2層ゲート構造のMOSFETにより構成され、このトランジスタに情報が記憶される。ここにおいて、情報は実質的にしきい値電圧の変化としてトランジスタに保持される。

以下、特に述べないかぎり、メモリセルにおいて、情報を記憶するトランジスタ（以下、記憶トランジスタと称する）がNチャンネル形の場合について述べる。

第16図に示されているメモリセルへの情報の書き込み動作は、EEPROMのそれと同様である。すなわち、書き込み動作は、ドレイン電極3に接続されたドレイン領域9の近傍で発生させたホットキャリアをフローティングゲート4に注入することにより行われる。この書き込み動作により記憶トランジスタは、そのコントロールゲート6からみたしきい値電圧が、書き込み動作を行わなかった記憶トランジスタに比べ高くなる。一方、消去動作においては、コントロールゲート6を接地し、ソース電極5に高電圧を印加することにより

(1988) pp.1157-1163)に記載されている。

第16図には、1987年の国際電子デバイス会議 (International Electron Device Meeting)において発表された電気的一括消去型 EEPROM のメモリセルの断面構造の概要図が示されている。同図のメモリセルは、通常のEEPROMのメモリセルとよく似た構造を有している。すなわち、メモリセルは、2層ゲート構造の絶縁ゲート型電界効果トランジスタ（以下、MOSFET又は単にトランジスタと称する）により構成されている。同図において、8はP型シリコン基板、11は上記シリコン基板8に形成されたP型拡散層、10は上記シリコン基板8に形成された低濃度のN型拡散層、9は上記P型拡散層11及び上記N型拡散層10のそれぞれに形成されたN型拡散層である。また、4は薄い酸化膜7を介して上記P型シリコン基板8上に形成されたフローティングゲート、6は酸化膜7を介して上記フローティングゲート4上に形成されたコントロールゲート、3はドレイン電極、5はソース電極である。すなわち、

12

フローティングゲート4とソース電極5に接続されたソース領域9との間に高電界が発生され、薄い酸化膜7を通したトンネル現象を利用してフローティングゲート4に蓄積された電子がソース領域9を介してソース電極5に引き抜かれる。これにより、記憶情報の消去が行われる。すなわち、消去動作により記憶トランジスタはそのコントロールゲート6からみたしきい値電圧が低くなる。読み出し動作においては、上記メモリセルに対して弱い書き込み、すなわち、フローティングゲート4に対して不所望なキャリアの注入が行われないように、ドレイン電極3及びコントロールゲート6に印加される電圧が比較的低い値に制限される。例えば、1V程度の低電圧がドレイン電極3に印加されるとともに、コントロールゲート6に5V程度の低電圧が印加される。これらの印加電圧によって記憶トランジスタを流れるチャンネル電流の大小を検出することにより、メモリセルに記憶されている情報の“0”、“1”を判定する。

一般に電気的消去においては、消去を長時間続

13

—1022—

14

けると、記憶トランジスタのしきい値電圧は、熱平衡状態での記憶トランジスタのしきい値電圧とは異なり負の値となり得る。これに対して、E P R O M のように紫外線で記憶情報の消去を行う場合、消去動作によって変化する記憶トランジスタのしきい値電圧は、その記憶装置を製造した時のしきい値電圧に落ち着く、すなわち、記憶装置を製造するときの製造条件等によって、消去動作後の記憶トランジスタのしきい値電圧を制御することができる。ところが、記憶情報を電気的に消去する場合においては、フローティングゲートに蓄積された電子をソース電極に引き抜くことにより、記憶情報の消去が行われるため、比較的長い時間、消去動作を続けると、書き込み動作の際にフローティングゲートに注入した電子の量よりも多くの電子が引き抜かれることになる。そのため、電気的消去を比較的長い時間続けると、記憶トランジスタのしきい値電圧は、製造されたときのしきい値電圧とは異なる値になる。言い換えるならば、消去動作が行われた場合、E P R O M とは対照的

15.

解できるであろう。すなわち、消去時間が長くなるのに従って、2つの記憶トランジスタ間のしきい値電圧の差が大きくなる。上述のように記憶トランジスタのしきい値電圧が負になると読み出し動作に悪影響がでる。これを第17図を用いて説明する。いま、書き込まれた状態のメモリセル12から記憶情報を読み出す場合を考える。同図の17は、センスアンプを表す。メモリセル12を選択状態にするために、それが結合されたワード線13には、読み出し動作時の選択電圧、例えば電源電圧 V_{cc} (5 V) が印加され、他のメモリセル14等にはそれらを非選択状態にするために、ワード線15等は読み出し動作時の非選択電圧、例えば回路の接地電位 0 V にされる。もし、記憶情報の読み出しが行われるべきメモリセル12に対応するデータ線16に接続された非選択状態のメモリセル14等のしきい値が負にされていると、ワード線15の電圧、すなわち、メモリセルのコントロールゲートの電圧が 0 V にされても、非選択状態にされたメモリセル14を介してデータ線

に、製造時の製造条件等によって定まるしきい値電圧に落ち着かない。本発明者らは電気的消去による記憶トランジスタのしきい値電圧の変化を測定した。第8図には、この測定により得られた、消去時間と消去により変化する記憶トランジスタのしきい値電圧との関係が示されている。同図において、横軸は消去時間を、縦軸は記憶トランジスタのしきい値電圧を表しており、 V_0 は実質的にしきい値電圧が零を、 $+V_{thb}$ はしきい値電圧が正の電圧を、 $-V_{thb}$ はしきい値電圧が負の電圧であることを示している。また、 V_{thv} は製造条件のバラツキ等に起因する、消去後のしきい値電圧のバラツキを示している。この図から、消去が比較的長い時間続けられると、しきい値電圧が負の電圧へと変化していくことが理解されるであろう。また、消去動作によって得られるしきい値電圧は、製造条件のバラツキ等のために、記憶トランジスタ毎に異なることがあることも理解されるであろう。消去時間に従ってしきい値電圧のバラツキが大きくなっていくことも更に同図から理

16.

16に不必要な電流（非選択リーク電流）が流れると、読み出し時間の遅れ、ひいては誤読み出しを引き起こす。

また、書き込み動作の際にもメモリセル内の記憶トランジスタのしきい値電圧が負であると悪影響がある。通常ホットキャリアを利用した書き込み動作においては、外部から与えられた書き込み用の高電圧 (V_{pp}) がMOSFETを介してメモリセル内の記憶トランジスタのドレイン領域に印加される。上記MOSFETでの電圧降下は、それを流れる電流によって変わる。それ故、上記のように記憶トランジスタのしきい値電圧が負の値となるような条件下では、上記MOSFETにおける電圧降下が大きくなりすぎてメモリセル内の記憶トランジスタのドレインに印加される電圧が、上記電圧降下分低くなる。この結果、書き込みに要する時間が増加が引き起こされてしまう。

したがって、上記のようなEEPROMでは消去後のしきい値電圧の値を精度良く制御しなければならない。

17

18

記憶情報の電気的消去を実現するために、従来のEEPROM、例えば上記1980年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンスの頁152～頁153に記載されたEEPROMにおいては、メモリセルのそれぞれが記憶トランジスタと、これと直列接続された非選択リード電流を阻止するための選択トランジスタとから構成されていた。このEEPROMにおいては、記憶トランジスタのコントロールゲートにプログラム線が結合され、選択トランジスタのゲートに選択線が結合されている。すなわち、記憶トランジスタと選択トランジスタとは別々のワード線に結合されている。

また、第18図には、上記1987年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンスの頁76～頁77に記載された電気的一括消去型のEEPROMのメモリセルの断面図が示されている。このメモリセルの動作は、上記第16図に示したメモリセルの場合とほど同じであるが、記憶情報の

消去が上記第16図のメモリセルと異なり、記憶トランジスタのフローティングゲートとドレイン領域間のトンネル現象を使って行われる。このメモリセルにおいては、ワード線に接続されべきゲート電極が1つしかないが、実質的に2つのトランジスタから構成されているとみなすことができる。すなわち、ゲート電極とコントロールゲート電極とが一体化された選択トランジスタと記憶トランジスタとによってメモリセルが構成されているとみなすことができる。このメモリセルは、上述のように実質的に選択トランジスタを有するため、読み出し時の非選択リード電流の問題を解決している。しかしながら、書き込み動作は、トンネル現象を利用した場合に比べ多くの電流量を必要とするホットキャリアにより行われるため、前述した書き込み動作の際の悪影響は改善されない。

EEPROM、例えば前述した1980年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンスの頁152～頁153に開示されているEEPROM

19

20

においては、互いに異なるワード線に接続された記憶トランジスタと選択トランジスタとによって1個のメモリセルが構成される。これに対して、第16図及び第18図に示した電気的一括消去型EEPROMのメモリセルにおいては、1本のワード線に接続された1個の記憶トランジスタによって構成されている。このことは、第16図及び第18図に示したメモリセル等を回路図で表すことにより、より明確になる。そこで、第19図(A)及び(B)には、上記したメモリセルの回路図が示されている。第19図(B)には、上記1980年のアイ・イー・イー・イー、インターナショナル、ソリッドーステート サーキット コンファレンスによって発表されたメモリセルの回路図が示されている。同図において、W1, W2はそれぞれ異なるワード線、Dはデータ線を示している。また、Qsは選択トランジスタを示しており、Qmが記憶トランジスタを示している。第19図(A)には、上記第16図及び第18図に示したメモリセルの回路図を示している。同図

から理解できるように、1個のメモリセルは1本のワード線にそのコントロールゲートが接続され、1本のデータ線Dにそのドレインが接続され、1本のソース線Sにそのソースが接続された1個の記憶トランジスタQmによって構成されている。読み出し動作と書き込み動作のとき、複数のメモリセルから所望の1個のメモリセルを選択するには、第19図(A)においては、1本のワード線と1本のデータ線とを選択すれば、その選択されたワード線Wに接続され、かつ選択されたデータ線Dに接続された1個のメモリセルを選択することができる。言い換えるならば、1本のワード線と1本のデータ線とによって1個のメモリセルを規定することができる。なお、第19図(A)においては、ソース線Sは、チップに形成された他の全ての記憶トランジスタのソース線Sと共に、あるいは1つのメモリブロックを構成する所定数のメモリセル間でソース線Sは共通にされる。

第19図(A)に示したメモリセルは、1個の記憶トランジスタで構成できるためにメモリセル

21

22

を形成するために必要とされるチップ上の面積をEEPROMにおけるそれ並に小さくすることができる。しかしながら、記憶情報の電気的一括消去を実現するためには消去後の記憶トランジスタのしきい値電圧を制御できるようにすることが不可欠である。

これには消去を何回かに分割して行い、消去をするたびに読み出しを行い、消去が十分であるかどうかを確認し、十分でなければ再び消去をするという動作を繰り返す必要がある。上記アイ・イー・イー・イー・ジャーナル オブ ソリッドステート サーキット、第23巻第5号(1988年)第1157頁から第1163頁には、このような消去後のしきい値電圧の制御に関するアルゴリズムが提案されている。上記文献においては、このアルゴリズムを電気的一括消去型EEPROMとは別に設けられた外部のマイクロプロセッサで実行することが述べられている。また、通常の読み出し時における動作可能電源電圧の下限電圧 V_{ccmin} を確保するために、上記アルゴリズム中の読み出

23

情報処理システムを提供することにある。

この発明の他の目的は、外部から消去指示を与えるだけで自動的に消去が実行される電気的一括消去型EEPROMを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電気的に消去可能にされた記憶トランジスタ(不揮発性記憶素子)がマトリックス配置されてなるメモリアレイを具備する電気的一括消去型EEPROMに、外部からの消去指示に従って消去動作を行った後に、消去動作を行った不揮発性記憶素子に対して少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路を内蔵させる。また、上記のような消去機能を内蔵したEEPROMをマイクロプロセッサを含む情報処

理システムに実装した状態で、上記マイクロプロセッサからの消去指示に従いマイクロプロセッサとは切り離された状態で内部の消去制御回路により自動的に消去動作を行うようにする。

(発明が解決しようとする課題)

上記の従来技術では、上記のようなアルゴリズムがマイクロプロセッサにより実行されるものであるため、電気的一括消去型EEPROMをシステムに実装したまま消去動作を実行するのは煩雑である。また、記憶情報の消去には比較的長い時間が必要とされるため、この比較的長い時間にわたってマイクロプロセッサが上記EEPROMの消去動作に占有されてしまい、事実上システムが停止してしまうという重大な問題を有する。

この発明は、システムのスループットを低下させることなく、システムに実装したまま電気的消去を実質的に可能にした半導体不揮発性記憶装置を提供することにある。

この発明の他の目的は、システムのスループットを低下させることなく、EEPROMをシステムに実装したまま電気的消去を実質的に実現した

24

理システムに実装した状態で、上記マイクロプロセッサからの消去指示に従いマイクロプロセッサとは切り離された状態で内部の消去制御回路により自動的に消去動作を行うようにする。

(作用)

上記した手段によれば、EEPROM自身が、記憶情報が消去されたか否かの確認のための読み出しを伴う自動消去機能を持つため、それをシステムに実装したまでの消去動作において、マイクロプロセッサからEEPROMへの制御が消去開始を指示するだけの僅かな時間となり、マイクロプロセッサの負担が著しく軽減される。

(実施例)

第20図には、本発明を適用した電気的一括消去型EEPROM(以下、フラッシュEEPROMとも称する)のブロック図が示されている。同図に示されている各回路ブロックは、特に制限されないが、周知の半導体集積回路技術によって、1個の半導体基板に形成されている。また、同図において“○”印はフラッシュEEPROMに設

25

26

けられた外部端子を示している。

同図において、M-ARY-0～M-ARY-7のそれぞれは、互いに同様な構成にされたメモリアレイであり、特に制限されないが、複数のワード線と、これらのワード線と交差するように配置された複数のデータ線と、ワード線とデータ線との各交差部に設けられたメモリセルとを有する。

X A D B は、ロウアドレスバッファであり、外部端子を介して供給される外部ロウアドレス信号 A X を受けて、ロウアドレス信号 A X に応じた内部相補ロウアドレス信号を形成する。X D C R は、ロウアドレスデコーダであり、上記ロウアドレスバッファ X A D B により形成された内部相補ロウアドレス信号を受け、この内部ロウアドレス信号をデコードする。特に制限されないが、本実施例において、上記ロウアドレスバッファ X A D B 及びロウアドレスデコーダ X D C R は、上記メモリアレイ M-ARY-0～M-ARY-7 に対して共通にされている。すなわち、上記ロウアドレスデコーダ X D C R は、内部相補ロウアドレス信号

をデコードすることによって、上記メモリアレイ M-ARY-0～M-ARY-7 のそれぞれにおける複数のワード線から、外部ロウアドレス信号 A X によって指示された 1 本のワード線を選択するワード線選択信号を形成する。これにより、各メモリアレイ M-ARY-0～M-ARY-7 のそれから 1 本のワード線が選択される。

同図において、Y A D B はカラムアドレスバッファであり、外部端子を介して供給される外部カラムアドレス信号 A Y を受け、この外部カラムアドレス信号 A Y に従った内部相補カラムアドレス信号を形成する。Y D C R はカラムアドレスデコーダであり、上記カラムアドレスバッファ Y A D B により形成された内部相補カラムアドレス信号をデコードして、外部カラムアドレス信号 A Y に従ったデータ線選択信号を形成する。同図には図示されていないが、メモリアレイ M-ARY-0～M-ARY-7 のそれには、上記データ線選択信号を受けてメモリアレイ内の複数のデータ線のうちの上記外部カラムアドレス信号 A Y によ

27

28

って指示された 1 本のデータ線を、メモリアレイに対応した共通データ線（図示しない）に結合させるカラムスイッチが設けられている。

このようにして、メモリアレイ M-ARY-0～M-ARY-7 のそれぞれにおいて、上記外部ロウアドレス信号 A X と外部カラムアドレス信号 A Y に従った 1 本のワード線と 1 本のデータ線が選択され、選択されたワード線とデータ線との交差部に設けられたメモリセルが選択される。すなわち、選択されたワード線及びデータ線に結合されたメモリセルが、全メモリアレイ内の複数のメモリセルから選択される。結果として、それぞれのメモリアレイから 1 個ずつのメモリセルが選択される。

特に制限されないが、本実施例においては、それぞれのメモリアレイから選択されたメモリセルに対して、ほど同時に書き込み動作あるいは読み出し動作が行われる。すなわち、8 ビット単位で情報の書き込みあるいは読み出し動作が行われる。そのために、本実施例のEEPROMには、8 個

の外部入出力端子 I/O 0～I/O 7 が設けられており、メモリアレイ M-ARY-0～M-ARY-7 と、それに対応する外部入出力端子 I/O 0～I/O 7 との間に、データ入力バッファ D I B 、データ出力バッファ D O B 、センスアンプ S A 及びスイッチ用のMOSFET Q 1 8 、Q 1 6 が設けられている。

上記メモリアレイ M-ARY-0 を例にすると、書き込み動作の場合、上記選択されたメモリセルは、書き込み制御信号 w r によってオン状態にされたMOSFET Q 1 8 を介してデータ入力バッファ D I B - 0 の出力ノードに結合され、読み出し動作の場合には、読み出し制御信号 r e によってオン状態にされたMOSFET Q 1 6 を介してセンスアンプ S A - 0 の入力ノードに結合される。外部入出力端子 I/O 0 には、上記データ入力バッファ D I B - 0 の入力ノードが結合されるとともに、データ出力バッファ D O B - 0 を介して上記センスアンプ S A - 0 の出力ノードが結合される。残りのメモリアレイ M-ARY-1～M-A

29

30

RY-7についても、上述したメモリアレイM-ARY-0と同様にして外部入出力端子I/O1～I/O7に結合されている。

同図において、LOGCは自動消去の制御動作を行うための内部回路であり、後で詳しく説明する。また、CNTRはタイミング制御回路であり、外部端子CE、OE、WE、EE及びV_{pp}に供給される外部信号あるいは電圧と、上記内部回路LOGCからの信号に応答して、上述した制御信号wr、re等を含むタイミング信号を形成する。同図において、V_{cc}は各タイミングブロックに電源電圧V_{cc}を供給するための外部端子であり、V_{ss}は各回路ブロックに回路の接地電位V_{ss}を供給するための外部端子である。

なお、上述した説明では各メモリアレイ毎にワード線が分割されているように述べたが、各メモリアレイに対してワード線は共通にしてもよい。

第1図には、上記第20図に示されたフラッシュEEPROMにおける1個のメモリアレイM-ARY、その周辺回路、ロウアドレスバッファ、

カラムアドレスバッファ、ロウアドレスデコーダ、カラムアドレスデコーダ、タイミング制御回路CNTR及び内部回路LOGCの詳しいブロック図が示されている。前述した説明から容易に理解できるように、第1図に示されている各回路素子は、特に制限されないが、公知のCMOS(相補型MOS)集積回路の製造技術によって、1個の単結晶シリコンのような半導体基板上において形成されている。同図において、PチャンネルMOSFETは、そのチャンネル(バックゲート)部に矢印が付加されることによってNチャンネルMOSFETと区別される。このことは他の回路においても同様である。

特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコン層からなるようなゲート電極から構成さ

3 1

3 2

れる。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成し、回路の接地電位V_{ss}が供給される。N型ウェル領域は、その上に形成されたPチャンネルMOSFETの基板ゲートを構成する。PチャンネルMOSFETの基板ゲートすなわちN型ウェル領域には、電源電圧V_{cc}が供給される。ただし、電源電圧V_{cc}よりも高い高電圧を処理する回路を構成するところのPチャンネルMOSFETが形成されるN型ウェル領域には、特に制限されないが、外部端子V_{pp}を介して外部から与えられる高電圧V_{pp}、あるいはEEPROMの内部で発生された高電圧等が供給される。

あるいは、上記集積回路は、単結晶N型シリコンからなる半導体基板上に形成してもよい。この場合、NチャンネルMOSFETと不揮発性記憶素子はP型ウェル領域に形成され、PチャンネルMOSFETはN型半導体基板上に形成される。

以下、本実施例のフラッシュEEPROMについて、第1図を用いて更に詳しく説明するが、理解を容易にするために、以下の説明では上述した第20図の説明と重複する場合がある。

特に制限されないが、この実施例のフラッシュEEPROMは、外部端子を介して外部から供給されるX(ロウ)、Y(カラム)アドレス信号AX、AYを受けるアドレスバッファXADB、YADBによって内部相補アドレス信号が形成され、アドレスデコーダXDCR、YDCRに供給される。特に制限されないが、上記アドレスバッファXADB、YADBは内部チップ選択信号CEにより活性化され、外部端子から供給される外部アドレス信号AX、AYを取り込み、外部端子から供給された外部アドレス信号と同相の内部アドレス信号と逆相の内部アドレス信号とからなる相補アドレス信号を形成する。また、上記アドレスバッファXADB、YADBには、上述したチップ選択信号CEのほかに、消去モードを示す信号ES、内部アドレス信号AXI、AYI等が供給さ

3 3

3 4

れている。しかしながら、これらの信号 E S, A X I, Y A I 等は、後述する消去モードで使われる信号であり、通常の書き込みあるいは読み出しモードにおいては、上記アドレスバッファ A X D B, Y A D B の動作に対して影響を与えない。

ロウ (X) アドレスデコーダ X D C R は、アドレスデコーダ活性化信号 D E により活性化され、対応するアドレスバッファ X A D B からの相補アドレス信号に従った 1 本のワード線をメモリアレイ M-A R Y 内の複数のワード線から選択信号する選択信号を形成する。

カラム (Y) アドレスデコーダ Y D C R も、上記アドレスデコーダ活性化信号 D E により活性化され、対応するアドレスバッファ Y A D B からの相補アドレス信号に従った 1 本のデータ線をメモリアレイ M-A R Y 内の複数のデータ線から選択する選択信号を形成する。

上記メモリアレイ M-A R Y は、複数のワード線と上記ワード線と交差するように配置された複数のデータ線と、ワード線とデータ線との各交差

部に設けられた複数のメモリセルとを有する。同図には、このメモリアレイ M-A R Y の一部が代表として例示的に示されている。すなわち、第 1 図には、複数のワード線のうちのワード線 W 1, W 2 と、複数のデータ線のうちのデータ線 D 1, D 2, D n と、これらちのデータ線とワード線との交差部に設けられたメモリセルとが、例示的に示されている。メモリセルのそれぞれは前記第 19 図 (A) で述べたように、1 個の記憶トランジスタ (不揮発性記憶素子) によって構成されている。すなわち、各メモリセルのそれぞれは、コントロールゲートとフローティングゲートを有するスタッカドゲート構造の 1 個の記憶トランジスタによって構成されている。同図に例示的に示されたメモリセルは、記憶トランジスタ (不揮発性記憶素子) Q 1 ~ Q 6 により構成されている。前述したように上記記憶トランジスタは、特に制限されないが、E P R O M の記憶トランジスタと類似の構造とされている。ただし、その消去動作が前にも述べ、又は後でも述べるようにフローティン

グゲートとソース線 C S に結合されるソース領域との間のトンネル現象を利用して電気的に行われる点が、紫外線を用いた E P R O M の消去方法と異なる。

上記メモリアレイ M-A R Y において、同じ行に配置された記憶トランジスタ Q 1 ~ Q 3 (Q 4 ~ Q 6) のコントロールゲート (メモリセルの選択ノード) は、それぞれ対応するワード線 W 1 (W 2) に接続され、同じ列に配置された記憶トランジスタ Q 1, Q 4 ~ Q 3, Q 6 のドレイン領域 (メモリセルの入出力ノード) は、それぞれ対応するデータ線 D 1 ~ D n に接続されている。上記記憶トランジスタのソース領域は、ソース線 C S に結合される。

この実施例においては、特に制限されないが、ソース線 C S に、消去回路 E R C によりスイッチ制御される N チャンネル M O S F E T Q 1 0 と P チャンネル M O S F E T Q 1 7 とが接続されている。上記消去回路 E R C は、書き込みモードのときと読み出しモードときに、上記 N チャンネル M

O S F E T Q 1 0 をオン状態にさせ、上記ソース線 C S に回路の接地電位 V ss が与えられるようになる。一方、消去モードのときには、上記 P チャンネル M O S F E T Q 1 7 をオン状態にさせ、上記ソース線 C S に消去用の高電圧 V pp が与えられるようになる。

なお、上記メモリアレイ M-A R Y の部分的な消去を可能にしたいなら、マトリックス状に配置される記憶トランジスタが縦方向に M ブロックに分割され、各ブロック毎に上記ソース線に相当するソース線がそれぞれに設けられる。上記のように、それぞれのブロックに設けられたソース線 C S のそれぞれには上記のような消去回路 E R C と M O S F E T Q 1 0, Q 1 7 がそれぞれ設けられる。この場合、複数ブロックのうち、どのブロックに対して消去を行うかを決めるために、各消去回路をアドレス信号により指定することが必要とされる。上述した実施例においては、メモリアレイ M-A R Y を構成する全メモリセルの記憶情報が一括して消去される。この場合には、ソース線

CSは1つとされ、それに対応して上記消去回路ERCとMOSFET Q10とQ17が設けられる。

本実施例のEEPROMにおいては、特に制限されないが、8ビットのような複数ビットの単位での書き込み／読み出しが行われるため、上記メモリアレイM-ARYは、第20図に示したように合計で8組(M-ARY-0～M-ARY-7)のように複数組設けられる。なお、16ビットの単位での情報の書き込みあるいは読み出しを行う場合には、例えば上記メモリアレイM-ARYが16組設けられる。

上記1つのメモリアレイM-ARYを構成する各データ線D1～Dnは、上記カラムアドレスデコーダYDCRによって形成された選択信号を受けるカラム(列)選択スイッチMOSFET Q7～Q9(カラムスイッチ)を介して、選択的に共通データ線CDに接続される。共通データ線CDには、外部端子I/Oから入力される書き込みデータを受ける書き込み用のデータ入力バッファDIB

の出力端子がスイッチMOSFET Q18を介して接続される。同様に他の残り7個のメモリアレイM-ARYに対しても、上記第20図で述べたように、上記と同様なカラム選択スイッチMOSFETが設けられ、上記カラムアドレスデコーダYDCRからの選択信号が供給される。なお、各メモリアレイ毎に異なるカラムアドレスデコーダを設け、カラム選択スイッチMOSFETが対応するカラムアドレスデコーダからの選択信号によってスイッチ制御されるようにしてもよい。

上記メモリアレイM-ARYに対応して設けられる共通データ線CDは、スイッチMOSFET Q16を介してセンスアンプSAの入力段回路を構成するところの初段増幅回路の入力端子に結合される。便宜上、上記初段増幅回路を構成するところのMOSFET Q11～Q15と、縦列形態のCMOSインバータ回路N1及びN2とによって構成される回路をセンスアンプSAと呼ぶ事とする。センスアンプSAには、通常読み出し時には、比較的低い電源電圧VccがセンスアンプSA

39

40

の電源として電源電圧端子Vcc/Vcvに供給され、後で述べる消去ペリファイ時には上記電源電圧Vccの値より低い電位を有する電圧Vcvが電源として上記電源電圧端子Vcc/Vcvが供給される。

上記例示的に示されている共通データ線CDは、読み出し制御信号reによりオン状態にされるMOSFET Q16を通して、Nチャンネル型の増幅MOSFET Q11のソースに接続される。この増幅MOSFET Q11のドレインと、センスアンプSAの電源電圧端子Vcc/Vcvとの間には、そのゲートに回路の接地電位Vssが印加されたPチャンネル型の負荷MOSFET Q12が設けられている。上記負荷MOSFET Q12は、読み出し動作のために共通データ線CDにプリチャージ電流を流すような動作を行う。

上記増幅MOSFET Q11の感度を高くするため、スイッチMOSFET Q16を介した共通データ線CDの電圧は、Nチャンネル型の駆動MOSFET Q13とPチャンネル型の負荷MOSFET Q14とからなる反転増幅回路の入力であ

る駆動MOSFET Q13のゲートに供給されている。この反転増幅回路の出力電圧は、上記増幅MOSFET Q11のゲートに供給される。さらに、センスアンプSAの非動作期間において、センスアンプSAが無駄な電流を消費するのを防止するために、上記増幅MOSFET Q11のゲートと回路の接地電位点Vssとの間には、NチャンネルMOSFET Q15が設けられる。このMOSFET Q15と上記PチャンネルMOSFET Q14のゲートには、センスアンプの動作タイミング信号scが共通に供給される。

メモリセルの読み出し時において、センスアンプ動作タイミング信号scはロウレベルにされる。これにより、MOSFET Q14はオン状態に、MOSFET Q15はオフ状態にされる。メモリセルを構成する記憶トランジスタは、予め書き込まれたデータに従って、読み出し動作時におけるワード線の選択レベルに対して高いしきい値電圧か又は低いしきい値電圧を持つ。

読み出し動作において、上述した各アドレス

41

42

コード X D C R, Y D C R によってメモリアレイ M-A R Y を構成する複数のメモリセルから選択された 1 個のメモリセルが、ワード線が選択レベルにされているにもかかわらずオフ状態となっている場合、共通データ線 C D は、M O S F E T Q 1 2 と Q 1 1 から供給される電流によって比較的低い電位に制限されたハイレベルにされる。一方、選択された上記メモリセルが、ワード線の選択レベルによってオン状態となっている場合、共通データ線 C D は、比較的高い電位に制限されたロウレベルにされる。

この場合、共通データ線 C D のハイレベルは、このハイレベルの電位を受ける反転増幅回路 (M O S F E T Q 1 3, Q 1 4) により形成された比較的低いレベルの出力電圧が M O S F E T Q 1 1 のゲートに供給されることによって、上述のように比較的低い電位に制限される。一方、共通データ線 C D のロウレベルは、このロウレベルの電位を受ける反転増幅回路 (M O S F E T Q 1 3, Q 1 4) により形成された比較的高いレベルの電圧

が M O S F E T Q 1 1 のゲートに供給されることによって、上述のように比較的高い電位に制限される。各データ線 D 1 ~ D n とソース線との間に設けられたデータ線放電 M O S F E T Q 1 9 ~ Q 2 1 は、そのゲートに供給されるゲートバイアス信号 D S が後述するように中間レベルにされるため、カラムアドレスコード Y D C R によって選択されていない状態のデータ線、すなわち、非選択状態のデータ線の電荷が放電される。

なお、上記増幅用の M O S F E T Q 1 1 は、ゲート接地型ソース入力の増幅動作を行い、その出力信号を C M O S インバータ回路 N 1 の入力に伝える。C M O S インバータ回路 N 2 は、上記 C M O S インバータ回路 N 1 の出力信号を波形整形した信号 S 0 (第 1 図のメモリアレイ M-A R Y が第 2 0 図のメモリアレイ M-A R Y-0 の場合) を形成して対応したデータ出力バッファ D O B-0 の入力に伝える。データ出力バッファ D O B-0 は、上記信号 S 0 を増幅して外部端子 I/O 0 から送出させる。データ出力バッファは、上記の

4 3

ような読み出しデータの出力機能の他、次のような機能が設けられている。後で第 1 1 図を用いて述べるが、8 個の外部入出力端子のうち I/O 0 ないし I/O 6 に対応したデータ出力バッファ D O B-0 ~ D O B-6 は、データ出力バッファ活性化信号 D O, $\overline{D O}$ により高インピーダンスを含む 3 状態の出力動作を行う。これに対して、外部入出力端子 I/O 7 に対応したデータ出力バッファ D O B-7 は、上記信号 D O, $\overline{D O}$ とは異なるデータ出力バッファ活性化信号信号 D O 7, $\overline{D O 7}$ によって制御される。このデータ出力バッファ D O B-7 は、E E P R O M の内部消去状態を外部へ読み出すというデータボーリングモードに用いられる。また、上記外部入出力端子 I/O から供給される書き込みデータは、データ入力バッファ D I B を介して、上記共通データ線 C D に伝えられる。他のメモリアレイ M-A R Y に対応した共通データ線と外部入出力端子との間においても、第 2 0 図に示したように、上記同様な入力段回路及びセンスアンプ S A 並びにデータ出力バッファ

4 4

D O B からなる読み出し回路と、データ入力バッファ D I B からなる書き込み回路とがそれぞれ設けられる。

タイミング制御回路 C N T R は、特に制限されないが、外部端子 $\overline{C E}$, $\overline{O E}$, $\overline{W E}$, $\overline{E E}$ (以下、単に信号 $\overline{C E}$, $\overline{O E}$, $\overline{W E}$ 及び $\overline{E E}$ のように呼ぶ場合がある) 及び V pp に供給されるチップイネーブル信号 $\overline{C E}$, アウトプットイネーブル信号 $\overline{O E}$, ライトイネーブル信号 $\overline{W E}$, イレーズイネーブル信号 $\overline{E E}$ 及び書き込み/消去用高電圧 V pp と、後述するような自動消去動作の制御を行う内部回路 L O G C から供給されるブレライトパルス P P, 消去モードを示す信号 E S, デコード制御信号 D C, 消去ペリファイ信号 E V, 自動消去モード設定遅延信号 A E D 及びペリファイ時センスアンプ活性化信号 V E 等に応じて、内部制御信号 $\overline{c-e}$, センスアンプの動作タイミング信号 $\overline{c-c}$ 等の内部タイミング信号を形成するとともに、アドレスコード等に選択的に供給され読み出し用低電圧 V cc / 消去ペリファイ用低電圧 V cc / 書き込み用高電圧

4 5

—1030—

4 6

V_{PP}の電圧切り換えを行い、これらの電圧のうちのいずれかを選択的に出力する。上記内部回路L₀ G_Cにより形成される上記各信号P_P、E_S、D_C、E_V、A_E D及びV_E等は、消去以外のモードではタイミング制御回路C_N T_Rの動作に影響を与えない。すなわち、消去モードのときのみ、上記各信号P_P、E_S、D_C、E_V、A_E D及びV_E等が有効とされ、これらの信号に応じた消去動作のための各種信号が上記タイミング制御回路C_N T_Rによって発生される。

第6図と第7図には、上記タイミング制御回路 C N T R の要部の一実施例の回路図が示されている。次に示す表-1には、上記外部端子を介してフラッシュEEPROMへ供給される各外部信号とそれに対応した動作モードが示され、表-2には各外部信号にもとづいて形成される内部タイミング信号のうちのいくつかの内部タイミング信号とが示されている。これらの表-1、表-2においては、Hはハイレベル、Lはロウレベル、V_{pp}は電源電圧V_{cc}（例えば5V）よりも高い電圧

47

	vp ^{EV} ec ^{FA} DE ^{WF} WF ^{AF} DC ^{ES} POLN ^{FF}
ノンセレクト	L L L L H L L L L L L L L
リ-F	L L H H B L L L L L L L L
アウトプット	L L H B B H L L L L L L L
ディスエイブル	L L H B B B L L L L L L L
L L H B B L L L L L L L L	
ライト	H L L L B B H L L L L L L
ライトペリラッカ	H L H H H L L L L L L L L
イレーズ	H O O O O L O O L H L O
データギーリング	H L H H H L H B L H O L
ライト/イレーズ インヒビット	H L L L B L L L L L L L L
H L L L R L L L L L L L L	
H L L L H L L L L L L L L	
H L L L H L L L L L L L L	
H L L L H L L L L L L L L	

また、表-1、表-2において、*はハイレベル(H)でもロウレベル(L)でも良いことを表しており、○は上記内部回路LOGCから上記タイミング制御回路CTRへ供給される信号によって、そのレベル変化することを表している。

この表-1と表-2の見方について、読み出し

(例えば約12V)を示している。上記表-1と表-2の外部端子I/Oの欄において、Hはハイインピーダンスの状態、inputはデータ入力、outputはデータ出力を示しており、特にoutput(I/O7)は、外部入出力端子I/O7がデータ出力であることを示している。

表 - 1

	CE	OE	WE	EE	V _{pp}	I / O
ノンセレクト	H	*	*	*	V _{cc}	H z
リード	L	L	H	H	V _{cc}	output
アウトプット ディスエイブル	L L L L	L L L H	L L H *	L H V _{cc} *	V _{cc} V _{cc} V _{cc} V _{cc}	H z H z H z H z
ライト	L	H	L	H	V _{pp}	input
ライトバリファイ	L	L	H	H	V _{pp}	output
イレーズ	L	H	H	L	V _{pp}	H z
データギーリング	L	L	H	L	V _{pp}	output (1/07)
ライト/イレーズ インヒビット	H L L L	*	*	*	V _{pp} V _{pp} V _{pp} V _{pp}	H z H z H z H z

4 8

モードを例にして説明する。他のモードについても同様であるので、以下の例から容易に理解できるであろう。

外部からフラッシュ EEPROMへ、ロウレベル (L) のチップインエーブル信号 \overline{CE} 、アウトプットインエーブル信号 \overline{OE} と、ハイレベル (H) のライトインエーブル信号 \overline{WE} 、イレーズインエーブル信号 \overline{BE} が供給されるとともに、フラッシュ EEPROM の外部端子 V_{pp} に電源電圧 V_{cc} のような低電圧が印加されると、上記タイミング制御回路 CNTR によって読み出しモードが指示されたものと判定し、タイミング制御回路 CNTR 及び内部回路 LOGC は、内部信号 V_P 、 E_V 、 w_p 、 w_r 、 AED 、 DC 、 ES 、 $POLM$ 、 PP のそれぞれをロウレベル (L) にし、内部信号 SC 、 re 、 DE のそれぞれをハイレベル (H) にする。そして、アドレス信号によって指示されたメモリセルに保持されていたところのデータが外部入出力端子 $1/00 \sim 1/07$ から出力される。

おな、本明細書において、互いに同じ信号ある

いは同じ端子には、同一の記号が示されている。また、アルファベット文字の上部に“—”が付された記号によって表されている信号は、同じアルファベット文字で表され、“—”が上部に付されていない信号で表されている信号に対して位相反転された信号を示している。例えば記号 $\overline{v_p}$ は記号 v_p で表されている信号に対して位相反転された信号である。なお、この信号 v_p は、上記外部端子 V_{pp} に高電圧 V_{pp} が印加されたときハイレベル (V_{cc}) となり、それ以外ではロウレベル (V_{ss}) となる。

上記タイミング制御回路 CNT-R の主要部を構成する第 6 図と第 7 図の回路については、その動作を逐一詳細に説明しないが、動作モードを表す上記表-1、表 1-2 と後述する動作説明から容易に理解されよう。

チップイネーブル信号 \overline{CE} がハイレベルにされ、外部端子 V_{pp} に高電圧が供給されない状態では上記フラッシュ EEPROM は非選択状態となる。

チップイネーブル信号 \overline{CE} がロウレベルにされ、

アウトプットイネーブル信号 \overline{OE} がロウレベルにされ、ライトイネーブル信号 \overline{WE} がハイレベルにされ、イレーズイネーブル信号 \overline{BE} がハイレベルにされ、外部端子 V_{pp} に高電圧が供給されない状態では、上述のように読み出しモードとされ、上記内部チップイネーブル信号 \overline{ce} はロウレベルに、アドレスデコーダ活性化信号 DE 、センスアンプの動作タイミング信号 \overline{sc} 、読み出し信号 re のそれぞれがハイレベルにされる。また、このときアドレスデコーダ XDCR、YDCR、データ入力回路 DIB のそれぞれには、その動作電圧として低電圧 V_{cc} (約 5 V) が上記タイミング制御回路 CNT-R から供給される。これにより、センスアンプ SA が動作状態になって上記のような読み出し動作が行われる。このとき、第 6 図に示した回路によって、データ線放電 MOSFET 非活性化信号 SB がロウレベルにされる。これに応じて、非活性化信号 SB を受ける N チャンネル MOSFET (第 7 図) がオフ状態にされ、同じく非活性化信号 SB を受ける P チャンネル MOSFET

5 1

(第 7 図) がオン状態にされる。また、このときセンスアンプ動作タイミング信号 \overline{sc} がハイレベルされるため、この信号 \overline{sc} を受ける N チャンネル MOSFET (第 7 図) がオン状態にされ、同じく信号 \overline{ce} を受ける P チャンネル MOSFET (第 7 図) がオフ状態にされる。そのため、データ線放電 MOSFET ゲートバイアス信号 DS は直列形態にされる 2 つの P チャンネル MOSFET (第 7 図) と 3 つの N チャンネル MOSFET (第 7 図) のコンダクタンス比に従って中間電圧となり、上記メモリアレイ M-ARY のデータ線に設けられたデータ線放電 MOSFET Q_{1-9} ないし Q_{2-1} を制御して、非選択状態のデータ線の電荷を放電させる。

チップイネーブル信号 \overline{CE} がロウレベルにされ、アウトプットイネーブル信号 \overline{OE} がハイレベルにされ、ライトイネーブル信号 \overline{WE} がロウレベルにされ、イレーズイネーブル信号 \overline{BE} がハイレベルにされ、外部端子 V_{pp} に高電圧 (例えば約 12 V) が供給された状態ならば書き込みモードとさ

5 2

れる。このとき、上記内部チップイネーブル信号 \overline{ce} はロウレベルに、アドレスデコーダ活性化信号 DE 、書き込みモード信号 WP 、書き込み制御信号 WR 、書き込みパルス PG はそれぞれハイレベルにされ、ゲートバイアス信号 DS 、センスアンプ動作タイミング信号 \overline{sc} 、読み出し制御信号 re 、データ出力バッファ活性化信号 DO 及び DO_7 はそれぞれロウレベルにされる。上記信号 DE のハイレベルによりアドレスデコーダ XDCR 及び YDCR のそれぞれが活性化され、上記メモリアレイ M-ARY を構成する複数のワード線及び複数のデータ線から、外部アドレス信号 AX 、 AY によって指示された 1 つのワード線と、1 つのデータ線が選択される。このとき、アドレスデコーダ XDCR、YDCR 及びデータ入力バッファ DIB には、その動作電圧として高電圧 V_{pp} が上記タイミング制御回路 CNT-R から供給される。上述のように、このとき読み出し制御信号 re はロウレベルにされるため、上記 MOSFET Q_{1-6} がオフ状態にされ、ゲートバイアス信号

5 3

—1032—

5 4

D S のロウレベルにより上記放電M O S F E T Q 1 9ないしQ 2 1もオフ状態にされ、センスアンプ動作タイミング信号 s_c のロウレベルによってセンスアンプS Aは非活性化される。また、このときデータ出力バッファ活性化信号D O及びD O 7はロウレベルであるため、データ出力バッファD O B - 0 ~ D O B - 7のそれぞれは非活性化される。なお、データ出力バッファD O Bの構成については、後で第11図を用いて述べる。

書き込みが行われるべきメモリセルの選択ノードが結合されたワード線、言い換えるならば、選択されたワード線は、その動作電圧として高電圧V_{pp}が供給されたアドレスデコーダX D C Rによって、その電位が上記高電圧V_{pp}に従った高電圧、例えば約12Vのような高電圧にされる。一方、選択されたデータ線は、書き込むべき情報に従って、データ入力バッファD I Bにより高電圧又は低い電位にされる。メモリセルは、前述したように第16図に示した記憶トランジスタにより構成される。その選択ノードが選択されたワード線に

5 5

タイミングゲートの電位が負になる。フローティングゲートの電位が負とされることにより、電子の注入された記憶トランジスタのしきい値電圧は、電子の注入を行う前に比べて上昇し、高くなる。

これに対して、選択されたメモリセルにおいて、それを構成する記憶トランジスタのフローティングゲートに電子を注入しない場合、記憶トランジスタのしきい値電圧は上昇せず、比較的低い値に保持される。選択されたメモリセルにおいて、それを構成する記憶トランジスタのフローティングゲートに電子の注入を行わないようにするためには、上記記憶トランジスタのドレイン領域に、選択されたデータ線、上記オン状態にされたM O S F E T Q 1 8及びデータ入力バッファD I Bを介して、上記ドレイン領域の近傍のピンチオフ領域でホットエレクトロンが発生しないような低い電圧が印加されるようにすればよい。選択されたメモリセルの記憶トランジスタのドレイン領域に上述したような高電圧を印加するか、上述したような低い電圧を印加するかは書き込むべき情報によ

結合され、その入出力ノードが選択されたデータ線に結合されたメモリセル、すなわち、選択されたメモリセルにおいて、それを構成する記憶トランジスタのフローティングゲートに電子を注入する場合、選択されたデータ線の電位は書き込み制御信号w_rのハイレベルに応じてオン状態にされたM O S F E T Q 1 8とデータ入力バッファD I Bを介して高電圧V_{pp}に従った高電圧にされる。これにより、記憶トランジスタにチャンネル飽和電流が流れ、データ線に結合されたドレイン領域近傍のピンチオフ領域では高電界により加速された電子がイオン化を起こし、高エネルギーを持つ電子、いわゆるホットエレクトロンが発生する。一方、この記憶トランジスタのフローティングゲートの電位は、ワード線が結合されたコントロールゲートの電圧とドレイン領域の電圧、及び半導体基板とフローティングゲート間の容量とフローティングゲートとコントロールゲートとの容量とで決まる値となる。これにより、フローティングゲートにホットエレクトロンが誘引され、フロー

5 6

って定められる。後で第22図を用いて述べるデータ入力バッファD I Bが、外部入出力端子I/Oを介して供給される情報に従って上述した高電圧又は低い電圧を形成し、形成された電圧が上述のようにして選択されたデータ線に伝えられる。

電子がフローティングゲートに注入されることによって、そのしきい値電圧が高くされた記憶トランジスタは、読み出しモードの際に、そのコントロールゲートに選択レベル(例えば5V)の選択信号が供給されても、すなわち、選択ノードが結合されたワード線が選択されても、導通状態とはならず、非導通状態となる。これに対して、電子の注入が行われなかった記憶トランジスタは、そのしきい値電圧が比較的低い電圧に保持されているため、読み出しモードの際、選択レベルの選択信号が供給されると、すなわち、ワード線の選択動作によって、導通状態となり、電流が流れる。

なお、書き込みモードにおいて、選択されなかったメモリセルにおいては、それを構成する記憶トランジスタのコントロールゲート又はノード

5 7

5 8

レイン領域に高電圧が印加されない。そのため、フローティングゲートへの電子の注入が行われず、記憶トランジスタのしきい値電圧は変化しない。

チップイネーブル信号 \overline{CE} がロウレベルにされ、アウトプットイネーブル信号 \overline{OE} がロウレベルにされ、ライトイネーブル信号 \overline{WE} がハイレベルにされ、イレーズイネーブル信号 \overline{EE} がハイレベルにされ、外部端子 V_{pp} に高電圧 V_{pp} が供給された状態ならば、書き込みペリファイモードとされる。外部端子 V_{pp} に高電圧 V_{pp} が供給されている以外は、前記読み出しモードと同じ状態である。アドレスデコーダ $XDCR$ 、 $YDCR$ 及びデータ入力回路 DIB のそれぞれにはその動作電圧が上記高電圧 V_{pp} から低電圧 V_{cc} に切り換えて供給される。

上記表-1、表-2に示されている書き込み／インヒビットモードでは、各デコーダは活性化されているが、書き込み／消去用の高電圧 V_{pp} が各デコーダには供給されない状態である。このモードにおいては、上記ゲートバイアス信号 DS がハ

イレベルにされ、データ線の放電が行われる書き込み／書き込みペリファイ／消去の準備期間である。

チップイネーブル信号 \overline{CE} 、イレーズイネーブル信号 \overline{EE} がロウレベルにされ、アウトプットイネーブル信号 \overline{OE} 、ライトイネーブル信号 \overline{WE} がハイレベルにされ、外部端子 V_{pp} に高電圧 V_{pp} が印加されることにより、消去モードが開始される。後で第21図を用いて述べるが、これらの外部信号の電圧の組み合わせにより、消去モードの開始が指示されるものであり、この状態を維持しなければ消去モードが終了するというわけではない。

この実施例のフラッシュEEPROMにおける消去モードについては、そのアルゴリズムの一例を示す第2図の動作フローチャート図、第3図及び第4図に示した上記内部回路LOGCの主要部の具体的回路図、第5図に示した動作タイミング図を参照して次に詳細に説明する。上記内部回路LOGCは、消去制御回路として働く。

上記第3図及び第4図に示した回路は、上記第

59

2図のフローチャート図に示されたアルゴリズムを実行するためのシーケンス制御を行うものであるため、後述する第5図の動作タイミング図を参照した消去動作モードの説明から容易に理解されよう。

第2図のフローチャート図において、実際の消去動作に先立って同図に点線で示すような一連のプレライト動作が実行される。これは、消去する前のメモリアレイ $M-ARY$ におけるメモリセルの記憶情報、言い換えるならば、記憶トランジスタのしきい値電圧は、前記のような書き込みの有無(フローティングゲートへの電子の注入の有無)に従って高低さまざまであるために実行される。すなわち、消去前のメモリアレイ $M-ARY$ には、しきい値電圧が高くされた記憶トランジスタと、しきい値電圧が比較的低い値に維持された記憶トランジスタとが混在するために実行される。上記のプレライト動作は、電気的消去動作に先立って、全ての記憶トランジスタに対して書き込みを行うことである。これにより、未書き込みのメ

60

モリセル(それを構成する記憶トランジスタのフローティングゲートに実質的に電子の注入が行われていない)であるいわば消去状態のメモリセルに対して、この実施例による内部自動消去動作が行われることによって、未書き込みのメモリセルにおける記憶トランジスタのしきい値電圧が、負のしきい値電圧になってしまふのを防ぐものである。

このプレライト動作は、まず、ステップ1において、アドレス設定が行われる。すなわち、個々のメモリセルを選択するためのアドレス信号がアドレスカウンタ回路で発生されるように、アドレスカウンタ回路の設定が行われる。このアドレス設定により、特に制限されないが、最初に書き込みが行われるべきメモリセルのアドレスを指示するアドレス信号が上記アドレスカウンタ回路により発生される。

ステップ2において、書き込みパルスを発生され、アドレスカウンタ回路によって発生されたアドレス信号により指示されたメモリセルに対して

61

62

書き込み（ブレライト）が行われる。

この書き込みの後にステップ③が実行される。このステップ③において、上記アドレスカウンタ回路がインクリメント（+1）動作させられるという、アドレスインクリメントが行われる。

そして、ステップ④において、上記アドレスカウンタ回路により発生されたアドレス信号が最終アドレスを指すか否かの判定が行われる。最終アドレスまで上記のブレライトが行われていない場合（NO）は、上記ステップ④に戻りブレライトが行われる。これを最終アドレスまで繰り返して行うものである。上記のようにアドレスインクリメントを行うステップ③の後に、最終アドレスまでブレライトが行われたか否かの判定が行われるため、実際に判定されるアドレスは最終アドレス+1となるものである。もちろん、最終アドレスの判定を行うステップ④の後に、アドレスインクリメントのステップ③を設けるようにしてもよい。この場合、判定がNOのときに、アドレスインクリメントが行われるようステップ④からステッ

プ④へ戻る経路にステップ④が設けられる。

上記のようなブレライトが最終アドレスまで行われると（YES）、以下のような消去動作が次に実行される。

ステップ⑤において、消去動作のためのアドレスの初期設定が行われる。すなわち、アドレスカウンタ回路に対して、アドレス信号の初期設定が行われる。この実施例ではフラッシュEEPROM内の全てのメモリセルが一括して消去されるため、このアドレスの初期設定は消去動作それ自体には格別の意味を持たない。このアドレス設定は、消去動作その後に行われるベリファイ動作（消去ベリファイ）のために必要とされる。

ステップ⑥では、一括消去のための消去パルスが発生され、消去動作が行われる。この後、上記アドレス設定に従いステップ⑦において、ベリファイ動作が行われる。このベリファイ動作では、後述するように動作電圧が、外部端子Vccを介して供給される低電圧の電源電圧Vcc（例えば5V）より更に低い例えば3.5Vのような低い電圧

6 3

6 4

Vccの下で前記のような読み出し動作が行われる。すなわち、アドレスデコーダXDCR、YDCR及びセンスアンプSAには、その動作電圧として電源電圧Vccのかわりに上述した低電圧Vccが供給される。なお、このとき、内部回路LOGIC、タイミング制御回路CNTTRには、その動作電圧として電源電圧Vccが供給されている。この読み出し動作において、読み出し信号が“0”ならば、すなわち、記憶トランジスタがオン状態になれば、その記憶トランジスタのしきい値電圧は上記3.5V以下の消去状態にされたものと認められるから、次にステップ⑥が実行される。このステップ⑥において、上記アドレスカウンタ回路のアドレスインクリメントが行われる。そして、前記のブレライト動作の場合と同様にステップ⑥において、上記アドレスカウンタ回路により形成されたアドレス信号が最終アドレスを指すか否かの判定が行われる。最終アドレスでない場合（NO）にはステップ④へ戻り、上記同様な消去ベリファイ動作が行われる。これを上記アドレスカウンタ回路が最

終アドレスを指すまで繰り返して行うことにより、消去動作を終了する。前記のように、本実施例においては、メモリアレイM-ARYの記憶情報が一括消去されるものであるため、上述した消去動作では、全メモリセルのうち書き込み動作によって最もしきい値電圧が高くされた記憶トランジスタにより消去回数が決められる。すなわち、最もしきい値電圧が高くされた記憶トランジスタが、上記3.5Vで読み出しが可能、すなわち低いしきい値電圧を持つまでステップ⑥における消去パルスの印加（消去動作）が行われる。そして、この記憶トランジスタが上記低いしきい値電圧を持つようになったか否かの検出がステップ⑥の消去ベリファイ動作によって行われる。すなわち、ステップ⑥のベリファイ結果に基づいて、ステップ⑥における消去パルスの印加（消去動作）の有無が決定される。

上記のような消去動作モードを第5図の動作タイミング図を参照して第3図及び第4図の具体的回路とともに詳細に説明する。なお、以下の説明

6 5

6 6

においては、前述した第6図、第7図、及び表-1、表-2も参照される。

チップイネーブル信号 $\overline{C_E}$ がロウレベルにされ、アウトプットイネーブル信号 $\overline{O_E}$ がハイレベルにされ、ライトイネーブル信号 $\overline{W_E}$ がハイレベルにされ、外部端子 V_{pp} に高電圧 V_{pp} （例えば約12V）が供給された状態では、前記第6図に示したタイミング制御回路CTRの具体的回路及び表-1、表-2から明らかなように内部チップイネーブル信号 $\overline{c_e}$ 、消去開始信号 $\overline{e_c}$ がロウレベルとなる。したがって、イレーズイネーブル信号 $\overline{B_E}$ がハイレベルからロウレベルに変化すると、これに応じてフリップフロップ回路FF1がセットされる。

これにより、消去モードを示す信号 E_S がハイレベルからロウレベルに変化して消去モードに入る。内部信号 $\overline{E_S2}$ は、遅延回路D1の持つ遅延時間によって決められた一定時間遅れてロウレベルに変化する。消去モードを示す信号 E_S がハイレベルに変化すると、それがノアゲート回路NOR

R1に帰還される。そのため、消去モード信号 E_R が発生されるまで、消去モード信号 E_S は、この帰還動作により保持される。従って、消去モードの間、ノアゲート回路NOR1はこれ以降内部信号 e_c により代表される $\overline{C_E}$ 、 $\overline{O_E}$ 、 $\overline{W_E}$ 及び $\overline{B_E}$ の信号変化を受け付けなくなる。すなわち、消去制御回路LOGICは、上記のような外部制御信号を受け付けなくなり、消去シーケンスを実行することになる。言い換えるならば、この消去モード信号 E_S によって、上記外部制御信号の変化が内部の動作に影響を与えないようになる。例えば、第6図において、デコーダ活性化信号 D_E を形成する回路は、上記消去モード信号 E_S がハイレベルとされることにより、チップイネーブル信号 $\overline{C_E}$ にもとづく信号 $\overline{c_e}$ には影響されなくなる。

消去動作を実行する前に、前記ブレライト動作が実行される。この全ビットに対して一定時間の書き込みを行うというブレライト動作のために、アドレスインクリメント開始信号AIS、発振器

67

制御信号OSCにより発振回路O1が起動される。発振回路O1の出力信号は、4ビットの2進カウンタ回路BCS1により分周されてブレライトバルスPPが発生される。このブレライトバルスPPの発生は、上記のような分周により得られた分周信号OS3とOS4及びブレライト制御信号PCから形成するものに限定されず、種々の変形例を探ることができるものであることはいうまでもない。

上記カウンタ回路BCS1の出力信号は、2進カウンタ回路BCS2に供給される。このカウンタ回路BCS2は、アドレスカウンタ回路としての動作を行い、内部アドレス信号A5I、A6I・...・A2Iを発生する。これらのアドレス信号A5I、A6I・...・A2Iは、アドレスバッファXADB、YADBに入力される。このアドレスバッファXADB、YADBの入力の切り換えに上記消去モード信号 E_S が用いられる。アドレスバッファXADB、YADBのそれぞれは、互いに同様な構成にされた複数の単位回路により

68

構成されている。第9図には、その単位回路が示されている。単位回路は、同図のように、消去モード信号 E_S のハイレベルにより、その入力が、外部端子AX、AYを介して供給される外部アドレス信号AX、AYから、内部アドレス信号AXI、AYIにそれぞれ切り換えられて、アドレスデコーダXDCR、YDCRに伝えられるべき内部相補アドレス信号 $\overline{a_x}$ 、 $\overline{a_y}$ 、 $\overline{a_y}$ が形成される。すなわち、上記信号 E_S のハイレベルにより、アドレスバッファXADB、YADBの単位回路は、外部端子からの外部アドレス信号AX、AYを受け付けなくされ、内部アドレス信号A5I、A6I・...・A2Iに相当する内部アドレス信号AXI、AYIの受け付けを行う。特に制限されないが、上記カウンタ回路BCS2は、外部アドレス信号AX、AYと同じ数の内部アドレス信号AXI、AYIを形成する。これにより、各メモリアレイM-ARYからそれぞれ1個のメモリセルが内部アドレス信号AXI、AYIによって選択される。この選択されたメモリセルに対

69

70

して、データ入力バッファ DIB-0～DIB-7 から情報が供給され、書き込まれる（ブレイト）。この場合、データ入力バッファ DIB-0～DIB-7 は、外部端子 I/O 0～I/O 7 からのデータではなく、ブレイトバルス PP にもとづいて情報を形成する。

メモリアレイのすべてのアドレスについてブレイトが終了すると、最終アドレス信号 END がハイレベルになり、フリップフロップ回路 FF2 がセットされる。これにより自動消去モード設定信号 AE がハイレベルになり消去期間に入る。内部信号 PSC により、アドレスインクリメント信号 AIS や発振器制御信号 OSC がロウレベルに変化され、発振回路 O1、カウンタ回路 BCS1, BCS2 がリセットされる。遅延回路 D2 によって設定された遅延時間は、消去を行う準備期間であり、ワード線を全非選択状態としたり、データ線の放電に用いられる。その後、消去開始信号 ST が遅延回路 D4 により設定された一定時間ハイレベルになり、フリップフロップ回路 FF3 がセ

ットされる。遅延回路 D5 により設定された時間の後に、消去バルス EP がロウレベルになる。この消去バルス EP のロウレベルにより、前記のような消去回路 ERC を介してメモリセルのソースに高電圧 Vpp が印加される。特に制限されないが、消去回路 ERC は、第 10 図に示す回路とされる。信号 EP は、基本的には低電圧 Vcc を動作電圧とするインバータ回路と、高電圧 Vpp を動作電圧とするレベルシフト機能を持つインバータ回路とを介して P チャンネル MOSFET Q17 のゲートに、また低電圧 Vcc を動作電圧とするインバータ回路を 2 段介して N チャンネル MOSFET Q10 のゲートに伝えられる。同図において、信号 EXTB は、この実施例における内部自動消去モードとは別に、この EEPROM を通常の消去モード、すなわち、外部の信号によって設定された期間だけ消去動作を行う場合にハイレベルにされる外部消去モード信号である。

上記消去回路 ERC の構成及び動作は、次の通りである。消去バルス EP を受ける NANDゲート

71

回路は、外部消去モード信号 EXTB がロウレベルのときには、実質的にはインバータ回路として動作する。それ故、信号 EP は 3 つのインバータ回路を介してゲートに定常的に電源電圧 Vcc が供給されたカット用 MOSFET 及びゲートに定常的に高電圧 Vpp が供給されたカット用 MOSFET を介して、高電圧 Vpp を動作電圧とする CMOS インバータ回路を構成する P チャンネル MOSFET のゲートに供給される。上記 CMOS インバータ回路を構成する N チャンネル MOSFET のゲートには、上記最終段のインバータ回路の出力信号が供給される。この構成に代えて、N チャンネル MOSFET のゲートを上記 P チャンネル MOSFET のゲートと接続してもよい。上記 P チャンネル MOSFET のゲートと高電圧 Vpp との間には、レベル変換出力信号を受ける帰還用の P チャンネル MOSFET が設けられる。この実施例回路では、上記消去バルス EP がロウレベルにされると、上記の最終段インバータ回路の出力がハイレベルになるので、N チャンネル MOSF

72

FET がオン状態になって出力信号をロウレベルにする。これにより、帰還用の P チャンネル MOSFET がオン状態になって CMOS インバータ回路を構成する P チャンネル MOSFET のゲート電圧を高電圧にするため、この P チャンネル MOSFET がオフ状態になる。また、カット用 MOSFET がオフ状態になるため、高電圧 Vpp から低電圧 Vcc で動作する最終段インバータ回路に向かって直流電流が流れるのが防止される。これにより、出力信号がロウレベルにされるため MOSFET Q17 がオン状態になってメモリセルのソース領域の電位を高電圧 Vpp にする。このとき、MOSFET Q10 のゲート電圧は、ロウレベルになるためオフ状態となる。消去バルス EP がハイレベルにされると、上記の最終段インバータ回路の出力がロウレベルになるので N チャンネル MOSFET がオフ状態にされ、P チャンネル MOSFET がオン状態になる。これにより、出力信号は高電圧 Vpp のようなハイレベルになって、上記 P チャンネル MOSFET Q17 をオフ状態に

73

74

する。このとき、帰還用のPチャンネルMOSFETは、出力信号の高レベルによりオフ状態になる。このとき、NチャンネルMOSFET Q10のゲート電圧がハイレベルになる。これにより、MOSFET Q10がオン状態になり、メモリセルのソース電位を回路の接地電位とする。

再び第4図に戻り、同図において、発振回路O2と2進カウンタ回路BCS3は、消去バルスEPがロウレベルとにされることにより、それらによって定められた時間が経過した後、消去バルス終了信号PEをロウレベルからハイレベルに変化させ、フリップフロップ回路FF3をリセットする。これに応じて、上記消去バルスEPがハイレベルに変化するので、上記の消去回路ERCによりメモリセルのソースの電位は高電圧Vppから回路の接地電位Vssに切り換える。

遅延回路D7により設定された遅延時間の後に、消去ベリファイ信号BVがハイレベルに変化して消去ベリファイモードに移る。このとき、上記カウンタ回路BCS1とBCS2はプレライト時と

は異なり、自動消去モード設定信号AEにより、互いに電気的に切り離されてカウンタ回路BCS1はベリファイ用の基準バルスを発生するために用いられ、カウンタ回路BCS2は、プレライト用ではなく、ベリファイ用の内部アドレス信号を発生するために用いられる。すなわち、上記カウンタ回路BCS1の出力信号OS2は周期の前半がハイレベルに、周期の後半がロウレベルの信号であり、ロウレベルである期間にセンスアンプSAからの出力信号S0～S7（8ビット出力の場合）のハイレベル／ロウレベルの判定が行われ、センスアンプSAから出力されている全ビットの信号S0～S7がロウレベルのとき、言い換えるならば、上記カウンタ回路BCS2によって選択された8個の記憶トランジスタのそれぞれのしきい値電圧が低くされた消去状態ならば、フリップフロップ回路FF3がセットされずに、ベリファイ時アドレスインクリメント信号BA1に応答して、次のアドレスを指す内部アドレス信号AX1,AY1がカウンタ回路BCS2により形成され、

再び信号OS2のロウレベルの期間に判定が行われる。このようにして、ベリファイ時アドレスインクリメント信号BA1に従って、内部アドレス信号AX1,AY1が形成され、その内部アドレス信号AX1,AY1に従ったメモリセルの判定が行われる。もし、センスアンプSAの出力信号S0～S7のうち1ビット以上の信号がハイレベルであれば、すなわち、1ビットでも消去されてないメモリセルがあれば、ノアゲート回路NOR2によりフリップフロップ回路3がセットされ、再びロウレベルの消去バルスEPが発生される。このロウレベルの消去バルスEPによって、再び上述した消去動作が行われ、その後、上述した消去ベリファイが再び実行される。第5図においては、上記内部信号OS2により示される4つのアドレスで消去されていると判定され、5番目のアドレスで消去されていないと判定されてベリファイ期間が終了した例が示されている。このとき、遅延回路D8の作用により、信号OS2の最後のバルスはアドレスインクリメント信号BA1に現

れないようにされ、最後に消去されていないと判定されたアドレスに留まることを示している。言い換えるならば、上記カウンタ回路BCS2には、消去されていないと判定されたアドレスを指すアドレス信号が保持される。そのため、特に制限されないが、再び自動消去が行われた後の消去ベリファイは、前に消去されていなかったと判定されたアドレスから実行される。ここではベリファイモードの基本バルスを分周回路の出力信号OS2としたが、特にこれに限定されるものではないことは言うまでもない。

上記動作の繰り返しによりすべてのアドレスに対応するメモリセルがベリファイされると、プレライト終了時と同様に終了アドレス信号ENDがハイレベルになり、フリップフロップ回路FF2がリセットされる。このフリップフロップ回路FF2のリセットに応じて自動消去モード設定信号AEがロウレベルに変化し、消去モード終了信号ERが遅延回路D9により設定された遅延時間の間だけハイレベルにされる。

この信号 B R のハイレベルにより、フリップフロップ回路 F F 1 がリセットされて、遅延回路 D 1 により設定された遅延時間経過後に、消去モードを示す信号 E S がハイレベルに変化され、外部信号を受け付けないようにしていた状態が解除される。

2 進カウンタ回路 B C S 4 は、消去パルス $\overline{E P}$ の発生回数を計数する。ある一定回数のパルス $\overline{E P}$ を計数しても上記のように消去モードが終了しない場合には異常検出信号 F A I L をハイレベルにして、強制的に消去モードを終了させる。すなわち、消去モード終了信号 E R が発生される。また、この消去モード終了信号 E R を形成する論理回路には、内部信号 P S T O P と終了アドレス信号 E N D が入力されるゲート回路が示されているが、これはブレライトだけで消去を行いたくない時に外部信号により作られる内部信号 P S T O P により本モードを終了できるようにしたためである。

以上の説明では、第 5 図のタイミング図を中心

にして、第 3 図と第 4 図に示された消去制御回路 L O G C の具体的回路を中心においたが、実際にはこれら消去制御回路 L O G C で発生された各信号が、タイミング制御回路 C N T R を介してアドレスバッファやデコーダ、M O S F E T 等を制御する。第 6 図と第 7 図に示した信号 D E, S B, s c, r e, w r, P G, D O 等の信号発生回路では消去モード中は信号 E S, A E D 等の信号により外部端子 $\overline{C E}$, $\overline{O E}$, $\overline{W E}$, $\overline{E E}$ の入力が無効にされており、内部で制御される。例えば、消去パルス $\overline{E P}$ がロウレベル、すなわち、電気的消去を行っている期間は、第 3 図及び第 4 図中の信号 D C がハイレベルとなり、信号 D E はロウレベルとされ、各デコーダ X D C R, Y D C R は非活性化となる。よって全ワード線、全データ線は非選択状態になる。他の期間についても同様にその状態が第 3 図及び第 4 図に示された消去制御回路 L O G C の出力信号によって決められる。

データボーリングモードは、消去中か否かを判定するためのモードである。そのため、E B P R

O M の内部状態を知るためのモード、すなわち、ステータスボーリングモードとみなすこともできる。チップイネーブル信号 $\overline{C E}$ がロウレベルにされ、アウトプットイネーブル信号 $\overline{O E}$ がロウレベルにされ、ライトイネーブル信号 $\overline{W E}$ がハイレベルにされ、イレーズイネーブル信号 $\overline{E E}$ がロウレベルにされ、外部端子 V pp に高電圧 V pp が供給された状態で本モードとなる。このモードにされると、第 6 図及び第 7 図に示した回路においてデータボーリング制御信号 P O L M がロウレベルになる。このとき、データ出力バッファ活性化信号 D O 7 はハイレベルにされるが、データ出力バッファ活性化信号 D O は、データボーリング制御信号 P O L M によってロウレベルにされる。

データ出力バッファ D O B の具体的回路が第 1 図に示されている。データボーリング（ステータスボーリング）制御回路 D P を除けば、外部入出力端子 I / O 0 ~ I / O 6 に対応したデータ出力バッファ D O B - 0 ~ D O B - 6 と、外部入出力端子 I / O 7 に対応したデータ出力バッファ D

O B - 7 の構成は、共に高インピーダンス状態を含む 3 状態出力回路であることに相違点はなく、先に読み出しモードで説明したように、活性化信号 D O, D O 7 がハイレベルになるとセンスアンプ S A からの出力信号 S 0 ~ S 7 を反転して出力するという動作を行う。これに対して、データボーリングモード（ステータスボーリングモード）では、活性化信号 P O L M がロウレベルであるため、出力信号 S 7 が無効にされ、そのときの消去モードを示す信号 E S のレベルに従い端子 I / O 7 の出力信号が決まる。すなわち、消去モード期間中は、消去モードを示す信号 E S がロウレベルであるから、外部入出力端子 I / O 7 からロウレベルの信号が出力され、消去動作が終了していればハイレベルの信号が出力される。

第 12 図には、センスアンプ S A やアドレスデコーダ X D C R, Y D C R に供給される消去ペリファライモード時の動作電圧 V cv を発生させる電源回路が示されている。この回路は、シリコンバンドギャップを利用した公知の基準電圧発生回路 V

REFと、演算増幅回路OP1とOP2とを用いて構成される。すなわち、上記基準電圧回路VR EFにより形成された基準電圧VRを演算増幅回路OP1により、抵抗R1とR2により決まる利得($R_1 + R_2$)/ R_2 に従い電圧増幅し、前記約3.5Vのような電圧を形成する。この電圧をボルテージフォロワ形態の演算増幅回路OP2を通して出力させて上記電圧Vcvを得るものである。上記演算増幅回路OP1とOP2は、上記自動消去モード設定信号ABにより活性化して上記電圧Vcvを発生させる。これにより、他の動作モードのときには上記の電源回路での電流消費を行わないようにできるものである。なお、上記演算増幅回路OP2として、その出力回路としてPチャンネルMOSFETとNチャンネルMOSFETからなる出力回路を用いた場合、上記信号ABにより演算増幅回路を非活性化する際、上記信号ABにより、PチャンネルMOSFETをオン状態にして、低電圧である電源電圧Vccを出力させる。この構成を採ることによって、上記の電源回路に

83

の記憶情報の読み出しを可能とする最低の電源電圧Vcc(BE PROMの外部端子Vccに印加される)を意味している。

第23図には、アドレスデコーダXDCR, YDCRを構成する単位回路の回路図が示されている。各アドレスデコーダは、複数の互いに同様な構成にされた単位回路によって構成されている。ただし、供給される内部アドレス信号の組み合わせが、各単位回路で異なる。第23図には、これらの単位回路の1個が実施例として示されている。

同図において、UDGは単位デコーダ回路であり、例えは内部アドレス信号ax(ay)とアドレスデコーダ活性化信号DEを受ける NAND回路によって構成される。この NAND回路の出力信号は、第10図に示した回路と同様な構成のレベル変換回路に供給されている。第23図のレベル変換回路においては、第10図において高電圧Vppが供給されていたノードに対応するノードに、上記タイミング制御回路CTRから、高電圧Vpp、電源電圧Vcc及び上記低電圧Vcvが選択的に供給

信号ABにより電圧VccとVcvの切り換え機能を付加できるものである。なお、上述した基準電圧発生回路VR EFとしては、例えは英國特許2081458Bに開示されているものが使用できる。

上記の消去ペリファイ中の動作電圧は、フラッシュEEPROMに対して読み出し動作が可能な下限の電源電圧Vccminには等しくなるようにするために、読み出しモードの時のフラッシュEEPROMにおける電源電圧Vccより低く設定することが望ましい。また、ここでは第1-2図に示すように、電源を内蔵することを想定したが、上記信号ABをフラッシュEEPROMの外部に出力し、外部に設けられたプログラマブル電源をこの信号ABによって制御して、その電圧を本フラッシュEEPROMのセンスアンプSAやアドレスデコーダXDCR, YDCR等のように上記電圧Vcvが印加されるべき回路に供給する構成としてもよい。ここで、上述した下限電圧Vccminとは、EEPROMを構成するメモリセルのうち、最も高いしきい値電圧を持つメモリセルから、そ

84

される。これに対して、上記 NAND回路UDGには、定常的に電源電圧Vccが供給される。

これにより、書き込み動作時あるいはブレイト時に、アドレスバッファXADB(YADB)からの内部アドレス信号ax(ay)によって指示されたワード線W(カラムスイッチMOSFETの選択線CL)に対して、上記高電圧Vppと実質的に等しい電圧を持つ選択信号を単位回路が outputする。また、読み出し動作時には、内部アドレス信号ax(ay)によって指示されたワード線W(選択線CL)に電源電圧Vccと実質的に等しい電圧を持つ選択信号が outputされる。消去ペリファイモードにはアドレスバッファXADB(YADB)からの内部アドレス信号ax(ay)によって指示されたワード線W(選択線CL)に対して、上記低電圧Vcvと実質的に等しい電圧を持つ選択信号が outputされる。また、消去動作のときには、活性化信号DEが上述のようにロウレベルにされるため、全ての単位回路から回路の接地電位Vssと実質的に等しい電圧が、ワード線W(選択

85

—1040—

86

線 C L) に供給される。なお、選択されないワード線 W (選択線 C L) には、回路の接地電位 V_{SS} に従った電圧が供給される。また、上述したように、ブレライト時及び消去ベリファイ時には、外部アドレス信号 A_X (A_Y) ではなくて、カウンタ回路によって形成された内部アドレス信号 A_X I (A_Y I) がアドレスバッファ X A D B (Y A D B) に取り込まれ、これに対応した内部アドレス信号 a_x (a_y) が形成される。

第 22 図には、データ入力バッファ D I B の一実施例を示す回路図が示されている。

このデータ入力バッファ D I B は、外部入出力端子 I / O からのデータをメモリセルへ書き込む場合と、ブレライト時にメモリセルへ予め定められたデータを書き込む場合とに共通に使われる。書き込みモードの場合、前記表-1、表-2 から理解できるように書き込みモード信号 w_p はハイレベルにされ、ブレライトバルス P P はロウレベルにされる。そのため、外部入出力端子 I / O に供給されたデータは、2 個のノア回路を介してイ

87

れる電流 I_w が高くなり、上記 MOSFET Q L 等における電圧降下が大きくなってしまふ。これに対して、本実施例によれば、しきい値電圧が負になるのを防ぐことができるため、電流 I_w が高くなるのを防ぐことができ、確実なデータの書き込みが可能となる。

なお、ブレライト動作の際には、上記信号 w_p がロウレベルとなるため、外部入出力端子 I / O からのデータは取り込まれない。そのかわりに、ブレライトバルス P P を書き込みデータとした書き込みが行われる。

第 21 図には、以上述べてきた自動消去モードにおける外部入力信号と、外部出力信号とに着目したタイミングチャートが示されている。時刻 t₁ においてイレーズイネーブル信号 E E がハイレベルからロウレベルに変化すると、フラッシュ EEPROM の内部に設けられたラッチが働き、自動消去モードに入る。以後、時刻 t₄ において消去が終了するまでフラッシュ EEPROM は、

ンバータの入力ノードに伝えられる。入力ノードに伝えられたデータは、インバータによって位相反転された後、互いに直列接続された 1 個の P チャンネル MOSFET、2 個の N チャンネル MOSFET からなるバイアス回路に供給される。このバイアス回路によって所定のレベルに変換された上記データは、書き込み用の P チャンネル MOSFET Q P I のゲートに供給される。この書き込み用の P チャンネル MOSFET Q P I は、所定のバイアス電圧がそのゲートに供給された MOSFET Q L。上述した MOSFET Q 1 8 を介してコモンデータ線 C D に結合され、更に選択されたデータ線を介して書き込みが行われるべきメモリセル (記憶トランジスタ) のドレインに結合される。上記 P チャンネル MOSFET Q P I は、書き込みべきデータに従った電圧をメモリセルのドレインに供給する。これによって、メモリセルへのデータの書き込みが行われる。ところが、メモリセルの記憶トランジスタのしきい値電圧が負となってしまうと、上記 MOSFET Q L 等を流

88

データボーリングの要求を示す外部信号の組み合わせ以外は外部信号を受け付けない。イレーズイネーブル信号 E E を内部で決まるある一定時間以上ロウレベルに保った後は、C E, O E, W E, E E の外部制御信号はいかなる組み合わせであっても構わない。本実施例の自動消去モードにおいては、このイレーズイネーブル信号 E E のロウレベルの期間において、消去が行われるのではない。そのため、上述した一定時間は、上記第 3 図に示したラッチ回路を所定の状態にセットするため等に必要とされるものであり、メモリセルの消去に要する時間よりも充分短くて済むものである。また、外部アドレス信号については、この図に記載されていないが、内部に取り込まれないため、いかなる組み合わせであっても構わない。同図には、時刻 t₂ でデータボーリングモードに入る例が示されている。内部の信号遮断で決まる時刻 t₃ にデータボーリング信号が外部入出力端子 I / O に現れる。時刻 t₃ から時刻 t₄ の間はまだ消去が終了していないので出力はロウレベルである。

89

90

消去が時刻 t_4 に終了するとハイレベルに変化して、フラッシュEEPROMの外部から消去の終了を検出できる。なお、自動消去モードの時、外部入出力端子 $I/O_0 \sim I/O_6$ は、フローティング状態にされている。外部入出力端子 I/O_7 もポーリングモードを除いて、自動消去モードのときにはフローティング状態とされている。

第24図には、メモリセルの記憶情報を消去する際に、外部から供給されるイレーズイネーブル信号 \overline{EE} の波形図が示されている。第24図(A)には、上述した自動消去モードの際のイレーズイネーブル信号 \overline{EE} の波形図が示されている。また、第24図(B)は、消去動作とベリファイ動作とを外部から指示する場合のイレーズイネーブル信号 \overline{EE} の波形を示し、第24図(C)は、単に記憶情報の消去を外部からイレーズイネーブル信号 \overline{EE} によって指示する場合の波形を示している。これらの波形は、いずれも一括消去の場合を示している。第24図(B)では、上記信号 \overline{EE} がロウレベルにされている期間 t_0 (例えば1

0 ms) において、実際にメモリセル (例えば1バイト) の消去動作が行われ、上記信号 \overline{EE} がハイレベルされている期間 t_0 において、実際にメモリセル (1バイト) からの読み出し動作を伴うベリファイ動作が行われる。また、第24図(C)においては、信号 \overline{EE} がロウレベルにされている期間 t_0' (例えば1秒) において、チップ上のすべてのメモリセルに対して実際に消去の動作が行われる。これに対して、上記した自動消去モードでは、第3図に示したラッチ回路等を所定状態にセットするだけの時間、上記信号 \overline{EE} がロウレベルにされていれば良い。そのため、上記イレーズイネーブル信号 \overline{EE} をロウレベルに保持しておく時間は、第24図(B)、(C)に示したものに比べて短くてよく、例えば50 ns程度でよい。これは、自動消去モードの場合、イレーズイネーブル信号 \overline{EE} のロウレベルの期間において、メモリセルに対する実際の消去の動作が実行されるものではないためである。

なお、本実施例においては、主に自動消去モードのための内部の構成を述べたが、第24図(B)、(C)に示されている消去モードも合わせて実行できるようにしてもよい。

また、第24図(D)及び第24図(E)には、読み出しサイクルの際の、外部アドレス信号 A_X 、 A_Y 及び外部入出力端子 I/O の出力信号とが示されている。読み出しモードにするには、前記表-1、表-2に示されているように各外部信号を設定する必要があるが、同図は、上述のように外部アドレス信号と出力信号とが示されている。例えば、スタンバイモードから所望のアドレス A_I を指示するような外部アドレス信号 A_X 、 A_Y をEEPROMに与えることにより、そのアドレス A_I に保持されていたデータ D_i が外部入出力端子 I/O から出力される。その後、再びEEPROMは、例えばスタンバイモードにされる。この読み出しサイクルにおいては、メモリセルの選択動作、センスアンプの活性化等が行われるため、そのサイクルタイムは、例えば100～200 ns程度必要とされる。これに対して、第24図(

9 2

A)に示した消去モードでは、イレーズイネーブル信号 \overline{EE} のパルス幅が、上述のように50 ns程度と短くてよい。そのため、後で第14図、第15図を用いて述べるが、EEPROMを制御する装置 (CPU等) が長い時間、EEPROMのイレーズ動作に専有されてしまうのを防ぐことができる。このイレーズイネーブル信号 \overline{EE} (第24図(A)) のパルス幅は、実際にメモリセルの消去を行うのに必要とされる時間よりも短くてよい。これは、前述のように、このイレーズイネーブル信号 \overline{EE} によって、実際の消去動作が行われるのではなく、EEPROMに対して消去動作の指示が行われるためである。

この実施例においては、消去ベリファイを全てのアドレスについて行う構成としてが、本発明はこれに限定されるものでない。要求される消去後のしきい値電圧の制御の程度により変えて構わない。例えば、1つのデータ線のみをベリファイしたり、極端な場合には1つの代表的ビット (メモリセル) のみをベリファイするものであっても

9 1

9 3

9 4

よい。上記ベリファイ用電源電圧 V_{cv} を要求される読み出し可能な下限電圧 V_{ccmin} より十分低く設定できる場合にはこのような方法であっても通常十分な読み出し可能な下限電源電圧 V_{ccmin} を確保できる。なお、第5図において、P STOP はテストのための信号である。

第13図には、この発明が適用されるEEPROMの他の実施例の回路図が示されている。この実施例においても、前記第1図の実施例と同様に、1つのメモリアレイと、それに対応する周辺回路のみが示されている。全体については、前記第20図を参照されたい。

この実施例のEEPROMのメモリセルは、前記実施例のように電気的消去をソース領域側で行うものに代えて、ドレイン領域側で行うようにしたものである。

すなわち、この実施例では、メモリアレイM-ARYのソース線CSは回路の接地電位点 V_{ss} に固定的に接続される。

消去回路BRCと、それによりスイッチ制御さ

れる前記PチャンネルMOSFET Q17とNチャンネルMOSFET Q10の出力ノードは、共通データ線CDにPチャンネル型のスイッチMOSFET Q25を介して接続される。スイッチMOSFET Q25は、そのゲートに前記のような消去パルス \overline{EP} が印加される。これにより、スイッチMOSFET Q25は、消去パルス \overline{EP} がロウレベルにされる期間だけオン状態になり、消去パルス \overline{EP} のロウレベルに基づいてオン状態にされるPチャンネルMOSFET Q17を介して出力される高電圧 V_{pp} を共通データ線CDに伝える。また、アドレスデコーダYDCRは、メモリアレイM-ARY内の全メモリセルの一括消去を行うために、上記共通データ線CDの高電圧 V_{pp} をデータ線に伝えるよう、例えば上記消去パルス \overline{EP} に応答して、全てのカラムスイッチMOSFET Q7～Q9をオン状態にする。この構成に代え、カラムデコーダYDCRを内部又は外部のアドレスに従った選択信号を形成するようすれば、データ線の単位での消去が可能になる。したがって、

95

この実施例のEEPROMでは、消去動作のときのアドレスデコーダYDCRの制御が、前記第1図の実施例と異なるものとなる。他の部分については、前記第1図と同じため、第1図を参照されたい。

第14図には、この発明に係るフラッシュ(FLASH)EEPROMを用いたマイクロコンピュータシステムの一実施例のブロック図が示されている。

この実施例のマイクロコンピュータシステムは、マイクロプロセッサCPUを中心として、プログラム等が格納されたROM(リード・オンリー・メモリ)、主メモリ装置として用いられるRAM(ランダム・アクセス・メモリ)、入出力ポートI/OPORT、この発明に係る前記一括消去型EEPROM、制御回路CONTROLLERを介して接続されるモニターとして液晶表示装置又はCRT(陰極線管)がアドレスバスADDRESSES、データバスDATAと、例示的に示され制御信号CONTROLを伝える制御バスとによっ

96

て相互に接続されてなる。

この実施例では、上記表示装置LCDやCRTの動作に必要な12V系電源RGUを、上記EEPROMの高電圧 V_{pp} としても利用する。このため、この実施例では、電源RGUはマイクロプロセッサCPUからの制御信号によって、読み出し動作のときに端子 V_{pp} を V_{cc} のような5Vに切り換える機能が付加される。また、第15図には、マイクロプロセッサCPUとEEPROMに着目した各信号の接続関係が示されている。

EEPROMのチップインエーブル端子 \overline{CB} には、システムアドレスのうちEEPROMに割り当てられたアドレス空間を示すアドレス信号をデコーダ回路DECに供給し、チップインエーブル信号 \overline{CE} を発生させる。また、タイミング制御回路TCは、マイクロプロセッサCPUからのR/W(リード/ライト)信号、DS(データストローブ)信号及びWAIT(ウェイト)信号を受け、出力イネーブル信号 \overline{OE} 、ライトイネーブル信号 \overline{WE} 及びイレーズイネーブル信号 \overline{BE} を発生させる。

97

98

なお、マイクロプロセッサCPUのデータ端子は、データバスを介してEEPROMの外部入出力端子I/O0~I/O7に結合され、マイクロプロセッサCPUのアドレス端子は一部を除いてアドレスバスを介してEEPROMの外部アドレス端子AX, AYに結合されている。

この実施例のマイクロコンピュータシステムでは、EEPROMが前記のような自動消去機能を持つものであるため、マイクロプロセッサCPUは、EEPROMをアドレス指定して信号 \overline{CE} を発生させるとともに上記信号R/W, \overline{DS} 及びWAITの組み合わせにより、第21図に示したような消去モードを指定する信号 \overline{OE} , \overline{WE} 及び信号 \overline{BE} を発生させる。この後は、EEPROMが前記のように内部で自動的な消去モードに入る。EEPROMが消去モードに入ると、前記のようにアドレス端子、データ端子及び全コントロール端子がフリーになり、マイクロプロセッサCPUから、EEPROMが電気的に分離される。したがって、マイクロプロセッサCPUは、EEPROM

に対しては消去モードを指示するだけで、その後はシステムバスを用いて他のメモリ装置ROMやRAM、あるいは入出力ポートとの間で情報の授受を伴うデータ処理を実行することができる。これにより、システムのスループットを犠牲にすることなく、一括消去型のEEPROMを、フルファンクション（バイト毎の書き換え可能）のEEPROMと同様にシステムに実装したままの状態での消去が可能になる。マイクロプロセッサCPUは、上記のような消去モードの指示をした後は、適当な時間間隔で上記EEPROMに対して前記データボーリングモードを指定して、データバスのうちの端子I/O7のレベルがロウレベルかハイレベルかの判定を行い消去動作の終了の有無を判定し、消去が完了しEEPROMに書き込むべきデータが存在するなら書き込みを指示するものである。

上記の実施例から得られる作用効果は、下記の通りである。すわなち、

(1)電気的に消去可能にされた不揮発性記憶素子が

99

100

マトリック配置されてなるメモリアレイを具備するEEPROMに、外部からの消去動作の指示に従って消去動作を行った後に對応するメモリセルを少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路を内蔵することにより、EEPROM自身が消去確認機能、すなわち、読み出しを伴う上記自動消去機能を持つため、マイクロプロセッサに負担をかけることなくそれをシステムに置いたまでの消去動作が可能になるという効果が得られる。

(2)上記消去制御回路として、上記の消去動作に先立って全メモリセルに対して書き込みを行うというプレライト機能を付加することによって、未書き込みのメモリセルが消去動作の実行によって負のしきい値電圧を持つようにされることが防止できるという効果が得られる。

(3)上記メモリセルとして、フローティングゲートとコントロールゲートとの2層ゲート構造を持つMOSFETであり、フローティングゲートに蓄

積された情報電荷をトンネル現象を利用してソース、ドレイン又はウェルに引き抜くことによって電気的消去が行われるものであるものとすることにより、メモリセルの占有面積が小さくなり、大記憶容量化が可能になるという効果が得られる。

(4)上記メモリアレイを構成するメモリセルは、メモリアレイ全体又はその一部のメモリセル群のソース、ドレインが共通化され、共通化されたメモリセル毎に一括して電気的消去動作が行われるものとすることによって、上記のようにメモリセルの小型化が図られるという効果が得られる。

(5)上記消去制御回路として、メモリセルを順次選択するためのアドレス発生回路を設けることにより、全メモリセルに対する前記プレライト及び消去確認のためのベリファイを実施することができるという効果が得られる。

(6)上記消去の継続、停止の制御のためのメモリセルのベリファイ時に、コントロールゲートに伝えられるワード線の選択電位を低電圧 V_{ccmin} より低い読み出し可能な下限電圧 V_{ccmin} に相当する約3.

101

102

5 V のような低い電圧 V_{cv} に設定して行うことによって、必要十分な消去を保証することができるという効果が得られる。

(7) 上記ワード線の選択電位を比較的低い電圧 V_{cv} に発生させる電源回路として、基準電圧発生回路で形成された基準電圧を受け、利得設定用抵抗素子に基づいて所望の出力電圧に変換する第 1 の演算増幅回路と、この第 1 の演算増幅回路の出力信号を受けて出力電圧を形成するボルティージフォロワ形態の第 2 の演算増幅回路の出力端子から得ることにより、素子プロセスのバラツキの影響を受けることなく任意の設定された所望電圧を高精度で得ることができるという効果が得られる。

(8) 上記 EEPROM に外部からの指示に従い消去動作の継続、停止等の内部状態を外部へ出力するというデータボーリング機能を持たせることにより、マイクロプロセッサによるメモリ管理が簡便になるという効果が得られる。

(9) 上記 EEPROM をマイクロコンピュータに実装し、上記マイクロプロセッサからの消去指示に

従いマイクロプロセッサとは、電気的に切り離された状態で内部の消去制御回路により自動的に消去動作を行うようにすることによって、マイクロコンピュータシステムのスループットを犠牲にすることなく、EEPROM の消去をオンボード状態での実行することができるという効果が得られる。

即1つのゲート信号線(ワード線)と1つのドレイン信号線(データ線)により選択される、電気的に消去可能にされた不揮発性記憶素子がマトリックス配置されてなるメモリアレイを有し、外部からの消去の指示に従って消去動作を開始し、その後は外部からのアドレス信号、入力データ、制御信号によらず、自動的に消去が行われ、該消去が完了した後外部からのアドレス信号、入力データ、制御信号により所望の動作が可能となる半導体不揮発性記憶装置が得られる。

即1つのゲート信号線(ワード線)と1つのドレイン信号線(データ線)により選択される、電気的に消去可能にされた不揮発性記憶素子がマトリ

103

104

クス配置されてなるメモリアレイを有し、外部からの消去の指示に従って消去動作を開始、その後は外部からのアドレス信号、入力データ、制御信号によらず、自動的に消去が行われ、該消去が完了した後外部からのアドレス信号、入力データ、制御信号により所望の動作が可能となる半導体不揮発性記憶装置と、所定の情報処理機能を持つマイクロプロセッサと、上記半導体不揮発性記憶装置とマイクロプロセッサとを接続するシステムバスとを含み、半導体不揮発性記憶装置は上記マイクロプロセッサからの消去指示に従いマイクロプロセッサとは電気的に切り離された状態で内部の消去制御回路により自動的に消去動作を行う情報処理システムが得られる。

即行及び列からなる、マトリックス状に配置されてなる、電気的に書き込み、消去可能な不揮発性メモリであり、該消去において、読み出しサイクル期間以下の単一パルスを入力することにより消去を開始し、その後は外部からのアドレス、データ、制御信号の入力に拘らず自動的に消去を行い、

該消去が終了後に、外部からのアドレス、データ、制御信号を受け付ける半導体不揮発性記憶装置が得られる。

即行及び列からなる、マトリックス状に配置されてなる、電気的に書き込み、消去可能な不揮発性メモリを含み、マイクロプロセッサとシステムバスにより接続された情報処理システムにおいて、該消去において、読み出しサイクル期間以下の単一パルスを入力することにより消去を開始し、その後はシステムバスからのアドレス、データ、制御信号に拘らず自動的に消去を行い、該消去が終了後に、システムバスからの信号を受け付ける半導体不揮発性記憶装置を含む情報処理システムが得られる。

即メモリセルのうち、最も低いしきい値電圧を持つメモリセルが消去動作によって、負のしきい値電圧を持つようになるのを防ぐとともに、最も高いしきい値電圧を持つメモリセルが消去動作によって下限電圧 V_{ccmin} で読み出し可能なしきい値電圧を持つよう、内部の消去制御回路によって

105

106

E E P R O M の消去動作が自動的に制御されるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第4図の信号 F A I L や E R は、外部に出力させる機能を持たせてもよい。この場合外部端子数の増加を防ぐために、前記データボーリング機能を利用して出力させることが望ましい。例えば、データ入出力端子 I / O 5 と I / O 6 を、第11図のデータ入出力端子 I / O 7 に対応したデータ出力回路と同様の回路として、信号 E S が供給されるゲートに信号 F A I L, E R を対応させればよい。このように他の内部の動作シーケンスを示す信号も必要に応じて外部に出力させるようにしてもよい。また、メモリアレイ M - A R Y の消去は、ソース線とワード線とをそれぞれ分割して、その組み合わせにより消去すべきメモリブロックを指定するものであってもよい。メ

モリセルを構成する記憶トランジスタとしては、E P R O M に用いられるスタッカドゲート構造の M O S トランジスタの他、書き込み動作もトンネル現象を用いる P L O T O X 型の記憶トランジスタを用いるものであってもよい。前記実施例においては、第16図に示した1個の記憶トランジスタを1個のメモリセルとして使っていたが、第18図に示した1個の記憶トランジスタ（この場合、実質的に2個のトランジスタを1個の記憶トランジスタとみなす）を1個のメモリセルとして使ってもよい。すなわち、本発明は、第19図(A)に示した1個の記憶トランジスタを1メモリセルとして使う E E P R O M に特に適している。しかしながら、第19図(B)に示したようなメモリセル（1メモリセルが2個のトランジスタにより構成され、2本のワード線と1本のデータ線によって規定される）を有する E E P R O M にも適用できる。書き込み／消去用の高電圧 V pp は、外部から供給される高電圧を用いるものに限定されない。すなわち、書き込み／消去時に流れる電流が

107

小さいならば、E E P R O M の内部で電源電圧 V cc から公知のチャージポンプ回路等により昇圧したものを利用するものであってもよい。また、この内部昇圧電源と外部高電圧 V pp とを併用するものとしてもよい。

E E P R O M は、通常の書き込み／読み出し等の制御を行う回路部分 (C N T R) や、消去アルゴリズムを制御する回路部分 (L O G C) の構成は、上記のような動作シーケンスを行うものであればどのような回路であってもかまわない。すなわち、第3図及び第4図、第6図及び第7図のようなランダムロジック回路によるもの他、プログラマブルロジックアレイ (P L A) 、マイクロコンピュータとソフトウェアの組み込み、あるいは前記実施例では非同期回路で構成したが同期回路で構成しても構わない。このように、上記の動作シーケンスを実現する回路は、種々の実施形態を探ることができるものである。

E E P R O M を構成するメモリアレイやその周辺回路の具体的回路構成は、種々の実施形態を探

108

ることができるものである。さらに、E E P R O M 等は、マイクロコンピュータ等のようなディジタル半導体集積回路装置に内蔵されるものであってもよい。

この発明は、E P R O M に用いられるようなスタッカドゲート構造の記憶トランジスタや、P L O T O X 型の記憶トランジスタを用いる半導体不揮発性記憶装置及びそれを用いた情報処理システムに広く利用できるものである。

上述した説明では、説明を容易にするために、記憶トランジスタが持つ一対の領域をソース領域と、ドレイン領域と定めていたが、印加される電圧の値によって、ソース、ドレインが定まる記憶トランジスタにおいては、上述したソース領域、ドレイン領域を一方の領域（ノード）と他方の領域（ノード）と読み替えれば本発明が適用できるものである。

（発明の効果）

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

109

110

記の通りである。すなわち、電気的に消去可能にされた不揮発性記憶素子がマトリックス配置されてなるメモリアレイを具備するEEPROMに、外部からの消去動作の指示に従って消去動作を行った後に対応するメモリセルを少なくとも1回の読み出し動作を行い、その読み出し情報に基づいて消去動作の継続、停止の制御を行う消去制御回路を内蔵させる。また、上記のような消去機能を内蔵したEEPROMをマイクロプロセッサを含む情報処理システムに実装した状態で、マイクロプロセッサからの指示に従いマイクロプロセッサとは切り離された状態で内部の消去制御回路により自動的に消去動作を行うようにする。この構成においては、EEPROM自身が消去確認の読み出しを伴う自動消去機能を持つため、それをシステムに実装した状態のままでの消去動作において、マイクロプロセッサからの制御が消去開始を指示するだけの僅かの時間となり、マイクロプロセッサの負担が著しく軽減されてシステムのスループットが犠牲になることがない。

111

第12図は、消去ベリファイ用電圧 V_{cv} を発生させる電源回路の一実施例を示す回路図。

第13図は、上記EEPROMの他の一実施例を示すメモリアレイ部の回路図。

第14図は、上記EEPROMが用いられるマイクロコンピュータシステムの一実施例を示すブロック図。

第15図は、上記EEPROMとマイクロプロセッサCPUとの一実施例の接続を示すブロック図。

第16図は、従来技術のメモリセルの一例を説明するための構造断面図。

第17図は、その読み出し動作を説明するための概略回路図。

第18図は、従来技術のメモリセルの他の一例を説明するための構造断面図。

第19図(A)は、本発明が適用されるEEPROMにおけるメモリセルの回路図。

第19図(B)は、従来のメモリセルの回路図。

第20図は、本発明の一実施例であるEEPROMの回路図。

4. 図面の簡単な説明

第1図は、この発明が適用されたEEPROMの一実施例を示すメモリアレイ部の回路図と周辺回路のブロック図。

第2図は、この発明に係る消去アルゴリズムの一例を示すフローチャート図。

第3図と第4図は、消去制御回路LOGICの具体的な実施例の回路図。

第5図は、消去動作を説明するためのタイミング図。

第6図と第7図は、タイミング制御回路CNTの具体的な実施例の回路図。

第8図は、消去時間と記憶トランジスタのしきい値電圧との関係を示す特性図。

第9図は、アドレスバッファXADB、YADBの単位回路の一実施例を示す回路図。

第10図は、消去回路ERCの一実施例を示す回路図。

第11図は、データ出力バッファDOBの一実施例を示す回路図。

112

OMの全体ブロック図。

第21図は、本発明が適用されたEEPROMの外部信号の一例を示す図。

第22図は、データ入力バッファの一実施例を示す回路図。

第23図は、アドレスデコーダの一実施例を示す回路図。

第24図(A)、(B)、(C)は、イレーズイネーブル信号の波形を示す波形図。

第24図(D)、(E)は、読み出しサイクルを示す波形図である。

XADB、YADB…アドレスバッファ、XDCR、YDCR…アドレスデコーダ、UDG…単位デコーダ回路、M-ARY…メモリアレイ、SA…センスアンプ、DIB、DIB-0～DIB-7…データ入力バッファ、DOB、DOB-0～DOB-7…データ出力バッファ、CNTR…タイミング制御回路、ERC…消去回路、LOGIC…消去制御回路(内部回路)、N1、N2…CMOSインバータ回路、CS…

113

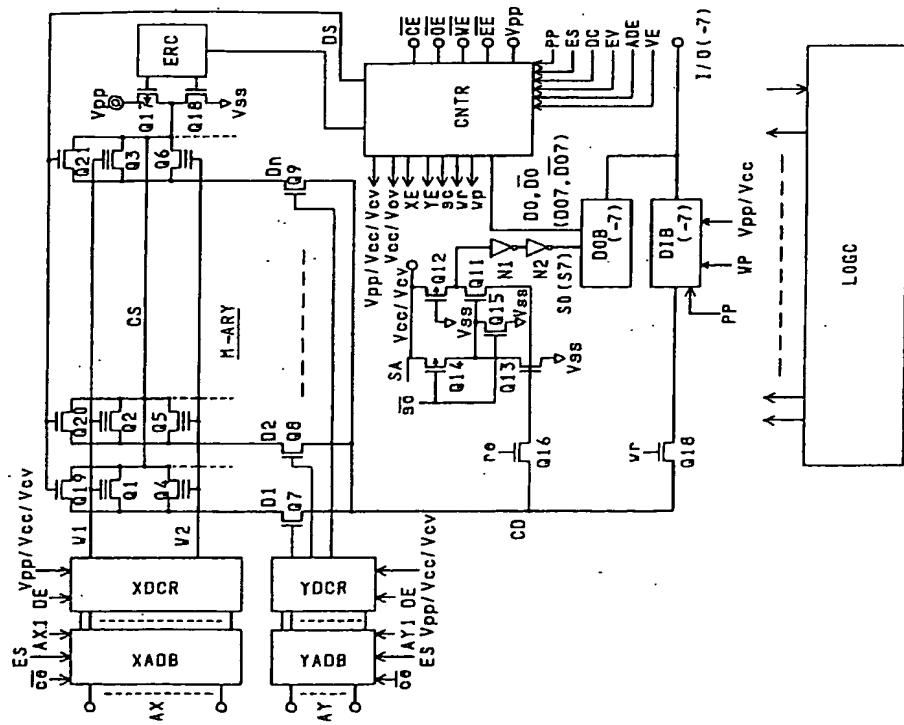
114

・ソース線、W1, W2…ワード線、D1~D7…センスアンプ。
 n…データ線、CD…共通データ線、O1, O2…発振回路、BCS1~BCS4…2進カウント回路、DP…データボーリング制御回路、CPU…マイクロプロセッサ、ROM…リード・オンリー・メモリ、RAM…ランダム・アクセス・メモリ、I/OPORT…入出力ポート、EEPROM(FLASH)…一括消去型半導体不揮発性記憶装置、RGU…12V系電源装置、LCD…液晶表示装置、CRT…陰極線管、ADDRESS…アドレスバス、DATA…データバス、DEC…デコーダ回路、TC…タイミング制御回路、3…ドレイン、4…フローティングゲート、5…ソース、6…コントロールゲート、7…薄い酸化膜、8…P型シリコン基板、9…N型拡散層、10…低濃度のN型拡散層、11…P型拡散層、12…選択メモリセル、14…非選択メモリセル、13…選択ワード線、15…非選択ワード線、16…データ線、1

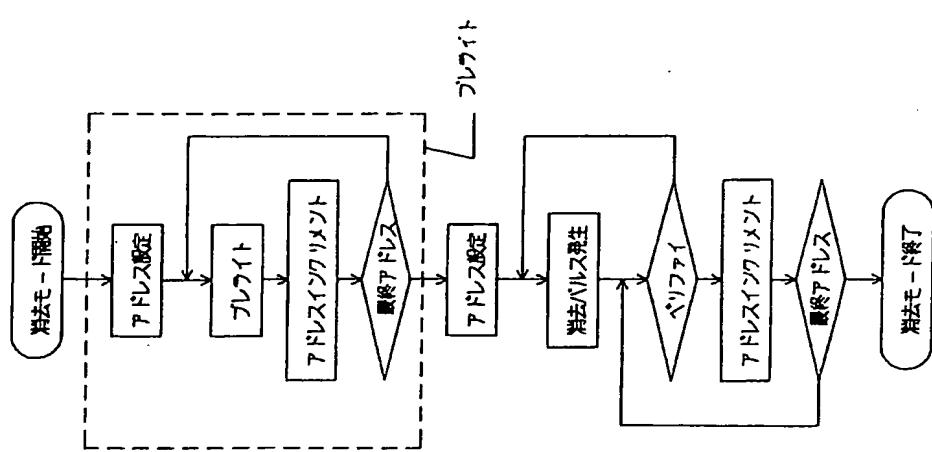
代理人弁理士 德若 光政

115 116

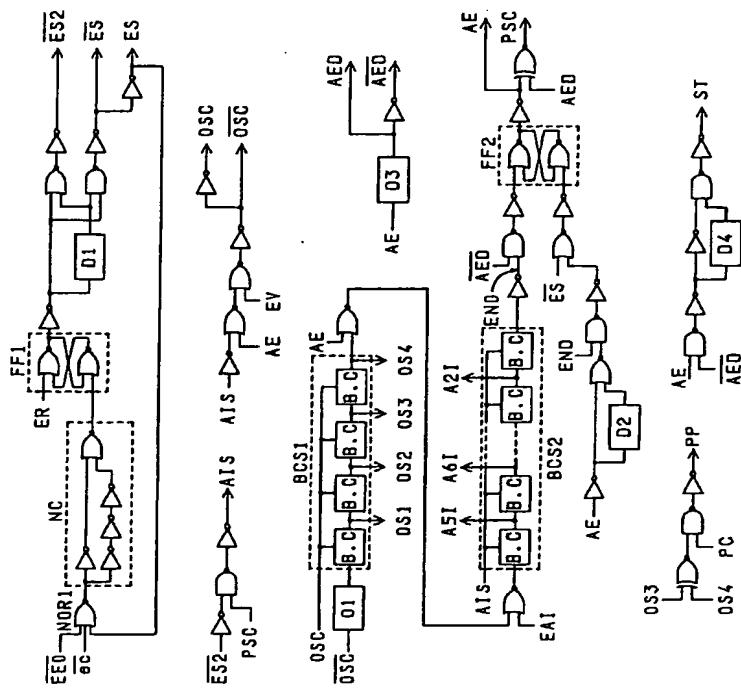
第1回



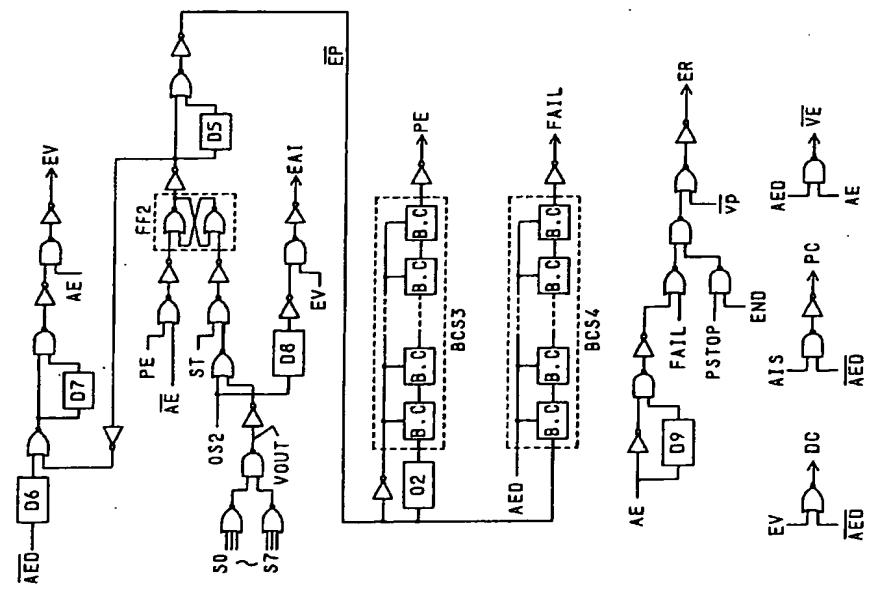
第 2 図



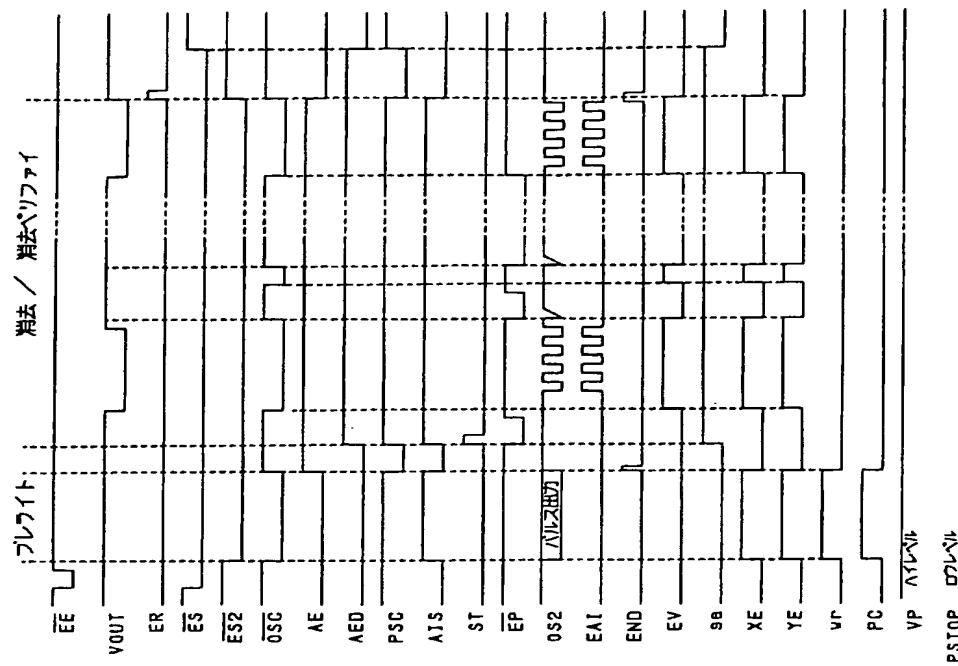
第 3 図



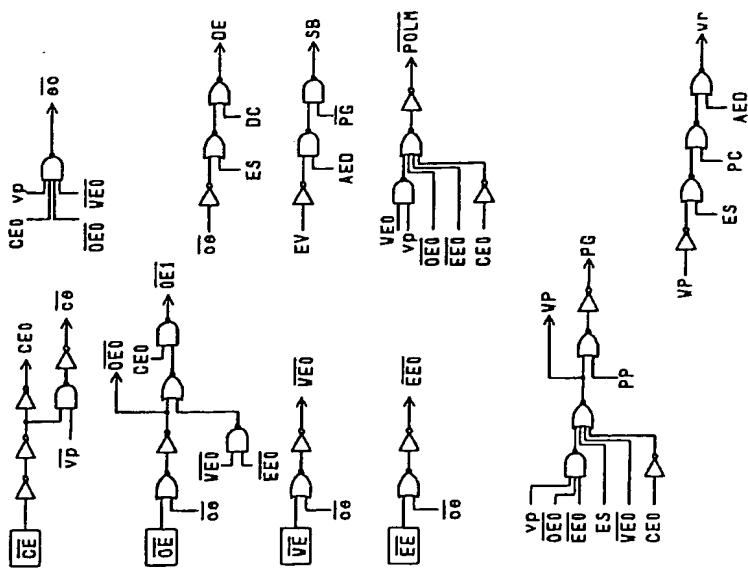
第 4 図



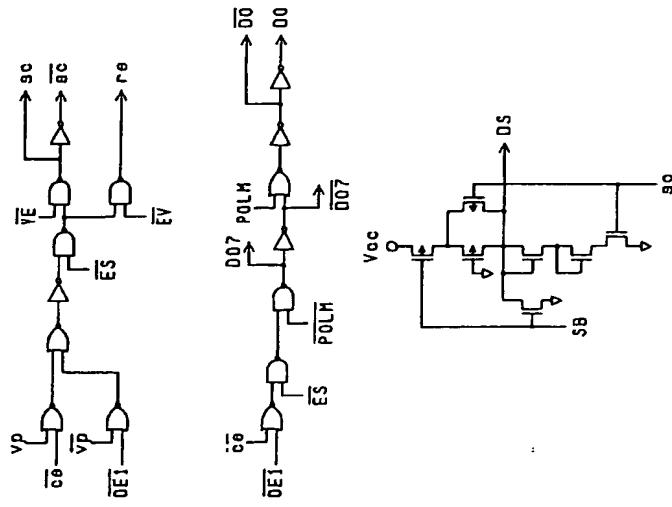
第 5 図



第 6 図

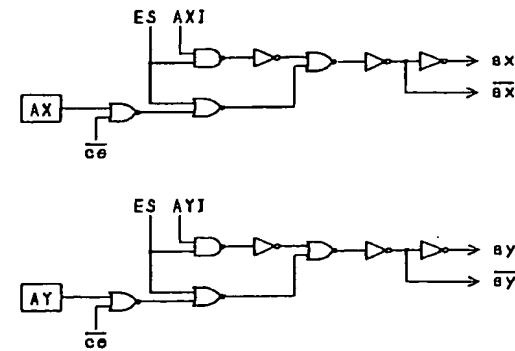
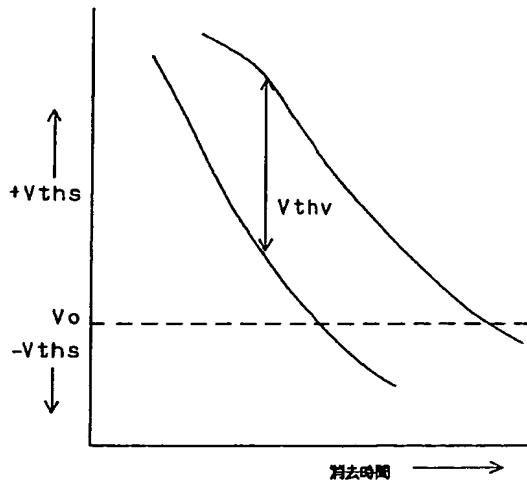


第 7 図

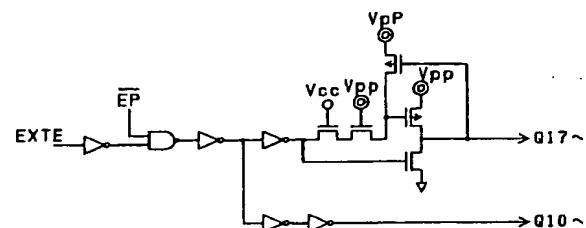


第 9 図

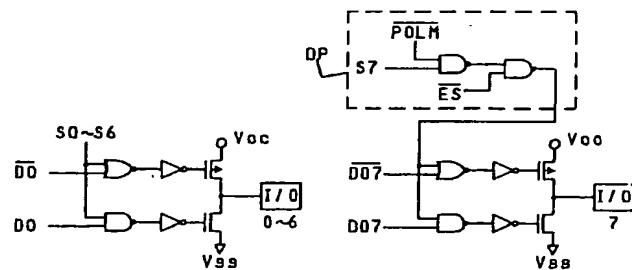
第 8 図



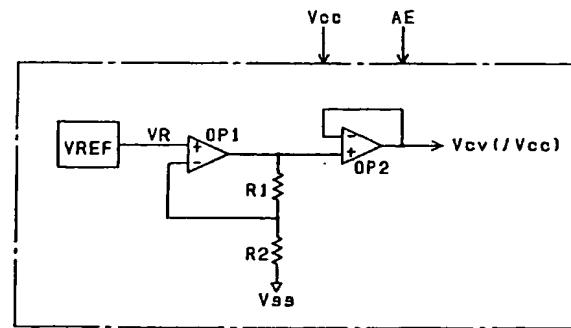
第 10 図



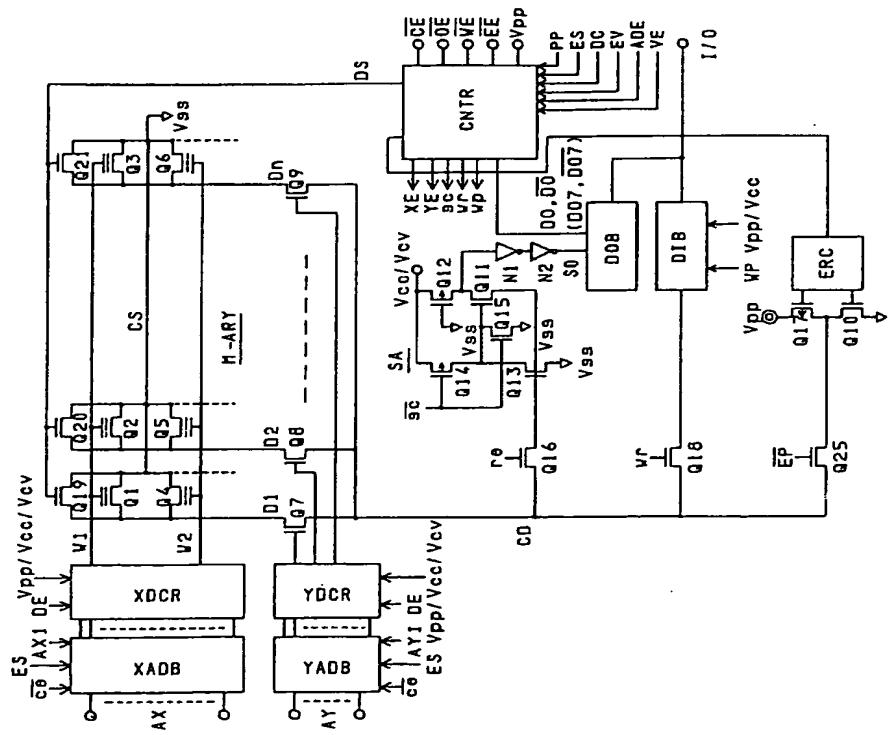
第 11 図



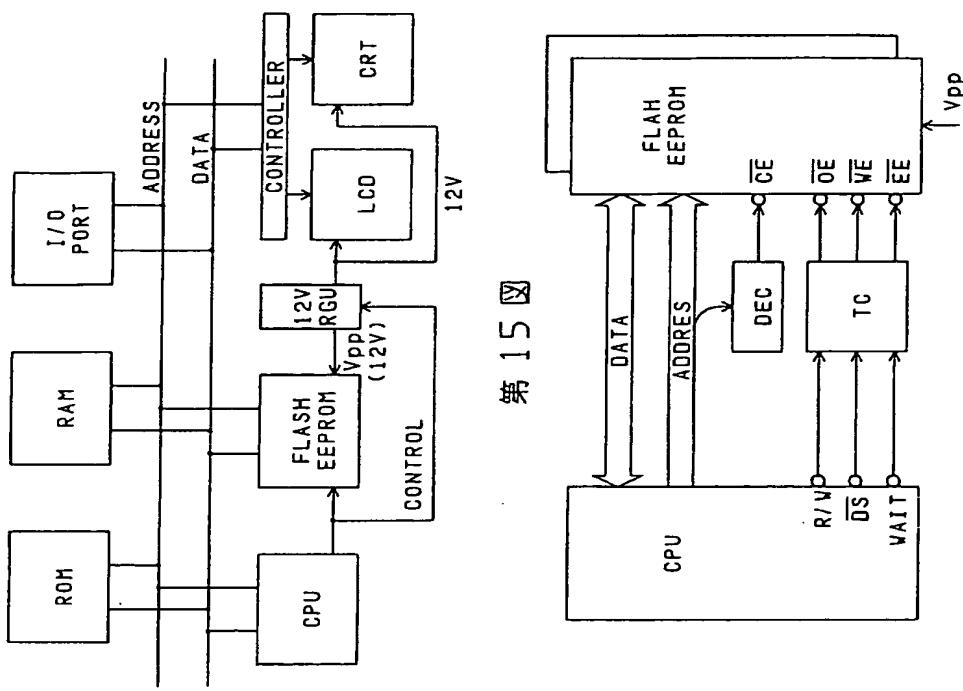
第 12 図



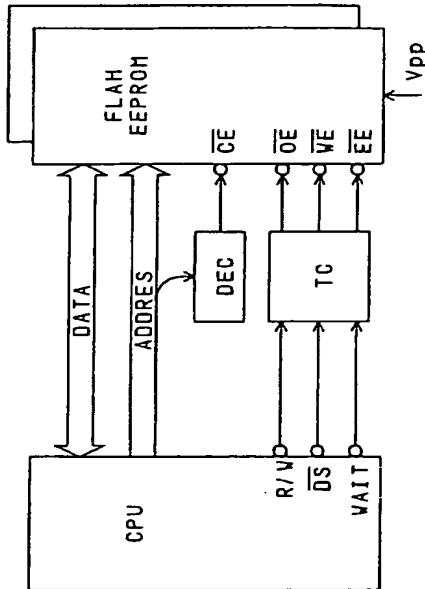
四
13



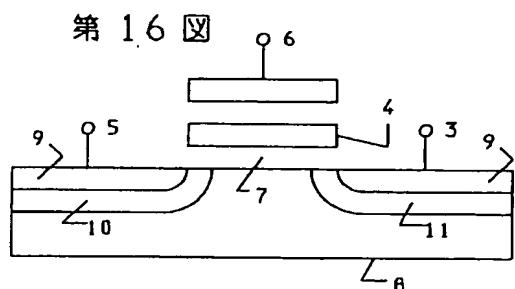
第14圖



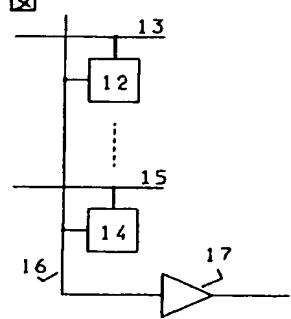
第15圖



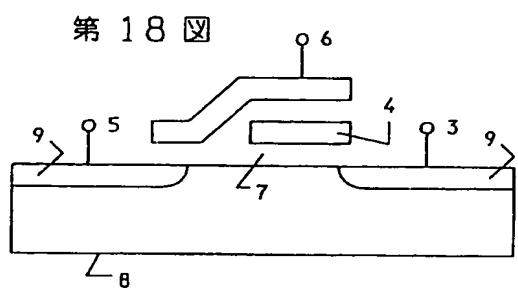
第 16 図



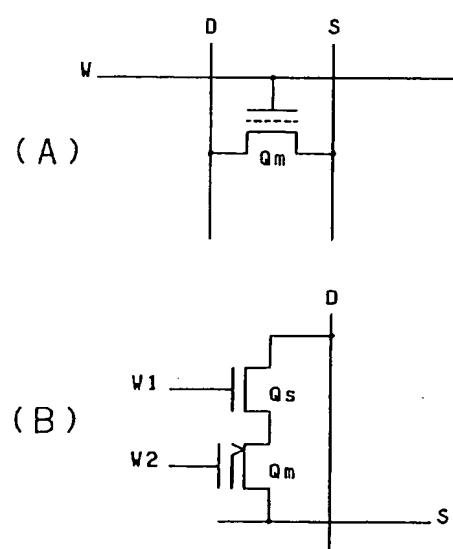
第 17 図



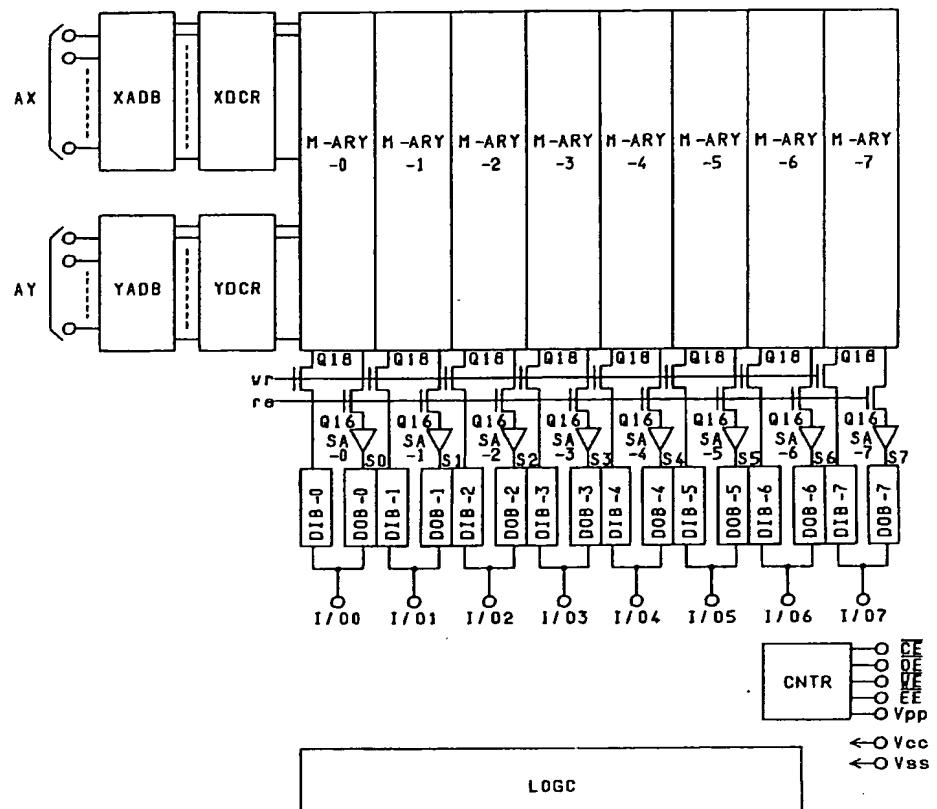
第 18 図



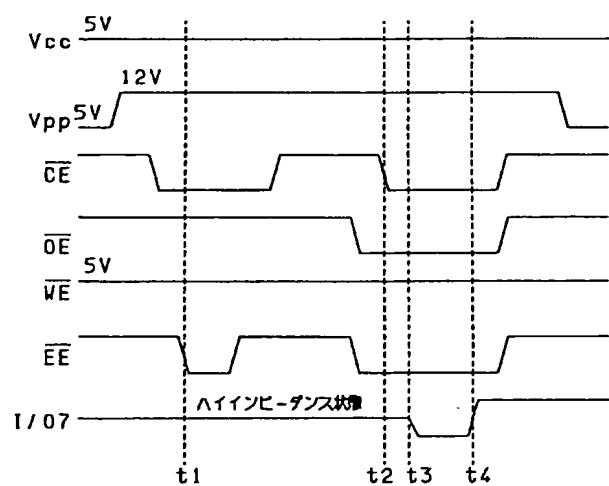
第 19 図



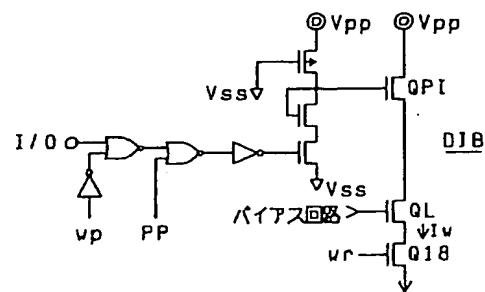
第 20 図



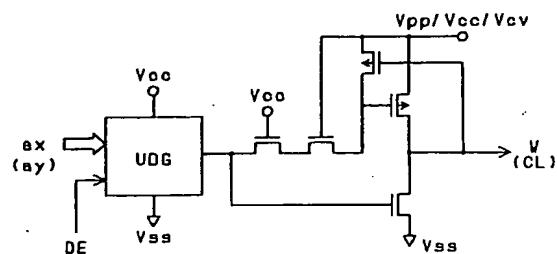
第 21 図



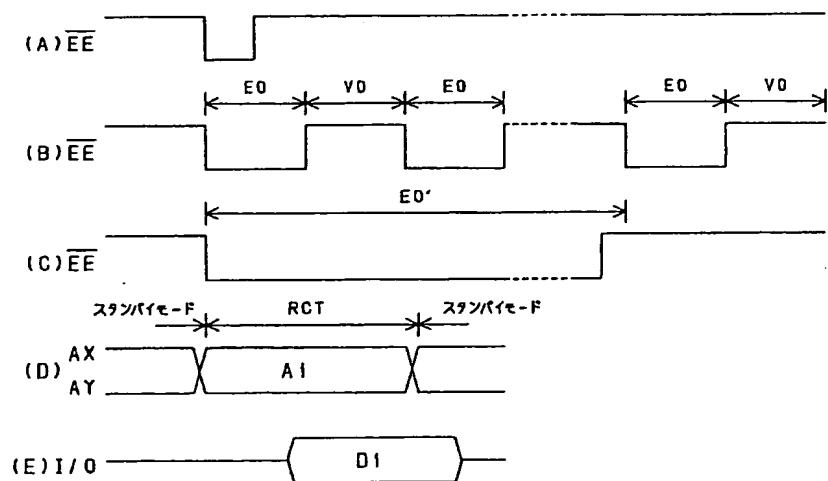
第 22 図



第 23 図



第 24 図



第1頁の続き

⑤Int. Cl. 5 識別記号 庁内整理番号

H 01 L 27/115
29/788
29/792

8624-5F H 01 L 27/10 4 3 4

⑦発明者 武藤 匡志 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑦発明者 崔田 康郎 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内
⑦発明者 庄司 和良 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内